

SSY011 Elektriska system – Laborationer ht 2017

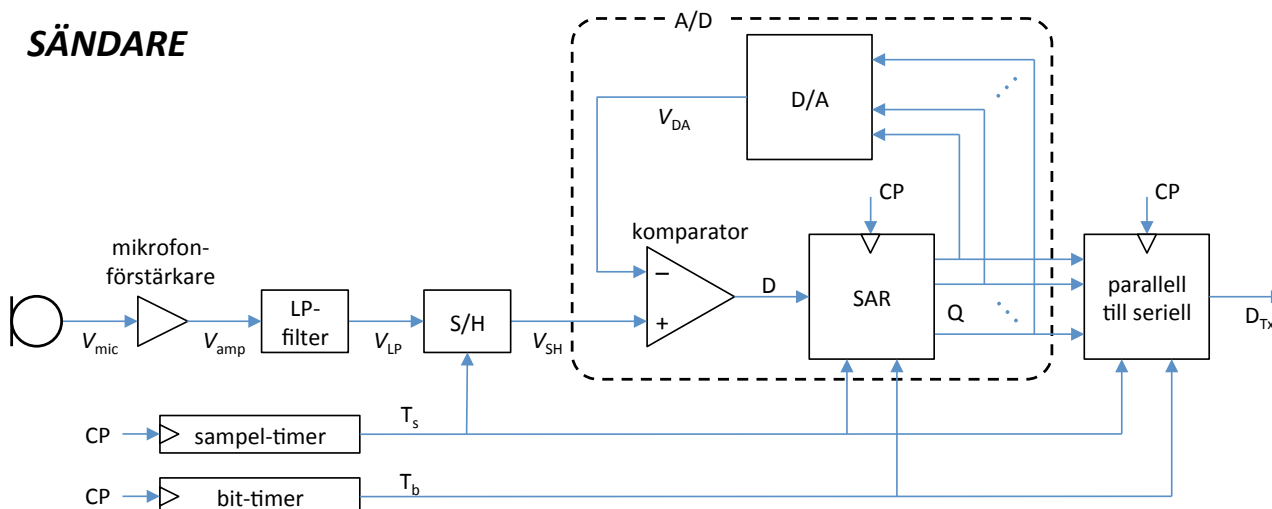
I laborationskursen skall vi bygga ett digitalt ljudöverföringssystem uppbyggt enligt figuren nedan. Konstruktionen innehåller både analog och digital elektronik.

Ljudöverföringssystemet som skall konstrueras skall uppfylla följande specifikationer.

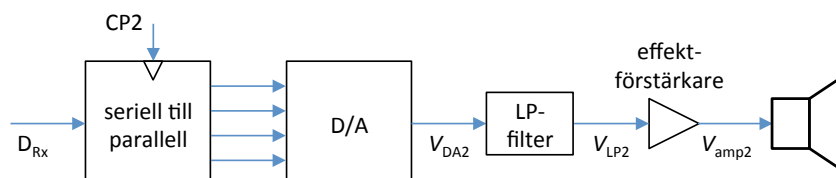
- Frekvensomfång 20–12000 Hz
- Upplösning 8 bitar

En gemensam standard för seriell kommunikation som kallas RS232-kabel används, vilket gör att olika labgrupper kan kommunicera med varandra.

SÄNDARE



MOTTAGARE



Utförande

Labkursen består av sex laborationer, förberedelseuppgifter och en skriftlig rapport. Tillsammans omfattar dessa delar 3.5 kurspoäng, vilket enligt standardfaktorn 26.7 timmar per poäng motsvarar ungefär 93 timmars arbete. Själva laborationerna omfattar endast $6 \cdot 4 = 24$ timmar. Räkna därför med mycket tid för förberedelserna, och börja förberedelsearbetet i tillräckligt god tid innan laborationerna börjar så att ni hinner be om hjälp om du kör fast! Ni får gärna fråga om hjälp med förberedelserna (men helst inte under laborationstiden). Se kurs-PM för kontaktinformation till labassistenterna.

Tanken är att studenterna utför beräkningar, kodning och simuleringar i förväg, enligt instruktioner i detta lab-PM. Om detta är väl utfört innan ni kommer till labbet, så bör labtiden 4 timmar vara ungefär tillräcklig för att implementera konstruktionerna i hårdvara och felsöka. Omvänt, den som kommer oförberedd har ingen chans att fullfölja labbarna!

Labtiden räcker inte för att även lösa *förberedelseuppgifterna*. Studenter som kommer oförberedda till labbarna har inget att implementera och kommer troligen att bli underkända på labkursen.

Under varje lab skall en del i kommunikationssystemet konstrueras. Eftersom varje lab bygger på föregående, och på slutet skall byggas ihop till ett fungerande kommunikationssystem, är det viktigt att kontrollera funktionen hos varje del innan man går vidare. Detta görs vid de tillfällen som är markerade ”checkpoint”. Demonstrera funktionen för en laborationsassistent vid varje checkpoint. Spara konstruktionen på kopplingsplattan mellan laborationspassen.

Laborationsrapport

Laborationskursen skall redovisas genom en skriftlig rapport per grupp, som lämnas in i form av en enda PDF-fil. Den slutliga rapporten skall skrivas på engelska och innehålla följande delar:

Summary

- kort om syfte och sammanfattande resultat

1. Introduktion

- beskrivning av syftet med laborationen och beskrivning av hela systemet
- specifikationer d.v.s. vad hela systemet skall ha för egenskaper och prestanda
- vilka delsystem som ingår

2. Subsystems

För varje delsystem:

- specifikationer d.v.s. vad delsystemet skall ha för egenskaper och prestanda
- beskrivning hur delsystemet är konstruerad
- resultat enligt anvisningar efter varje avsnitt i detta lab-PM
- tester och verifieringsdata som gjorts på delsystemet

2.1 Counter

2.2 D/A converter

2.3 A/D converter

2.4 Sample and Hold

2.5 Serial transmitter

2.6 Serial receiver

2.7 Audio amplifier

2.8 LP filter

3. Test and verification

- Tester och verifieringsdata som gjorts för hela systemet

4. Discussion

- Slutsatser och kort diskussion av resultaten

5. Reflektion

- Kommentera hur laborationsarbetet fungerade. Exempelvis hur ni planerade och organiserade arbetet, vad som var lätt resp. svårt, förberedelseuppgifterna, utrustningen, samarbetet, handledningen etc. Svara ärligt! Detta avsnitt kommer inte att betygsättas, men det blir poängavdrag om det saknas.

Appendix

- VHDL-kod

Tips och regler

1. Starta med laborationsrapporten direkt efter första laborationen och komplettera under kursens gång.

2. Det är tillåtet att kopiera figurer och tabeller från laborations-PM.
3. Det är inte tillåtet att kopiera text, figurer eller kod från andra laborationsgrupper.
4. Ta gärna skärmdumpar eller foton av viktiga kurvor på oscilloskopet och anteckna mätdata m.m. Dessa bilder och värden kommer att underlätta vid rapportskrivandet.

Mjukvara

Följande programvaror kommer att användas:

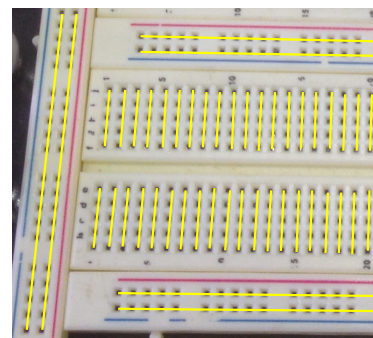
<i>Användning</i>	<i>Namn och version</i>	<i>Nedladdning</i>
VHDL- och FPGA-programmering	Quartus II Web Edition v12.0	altera.com/download
VHDL-simulering	Mentor Graphics ModelSim PE Student Edition (eller QuestaSim 10.4, som är en annan version av samma program)	model.com
Krets-simulering	Linear Technology Corporation's LTspice XVII	linear.com/ltspice

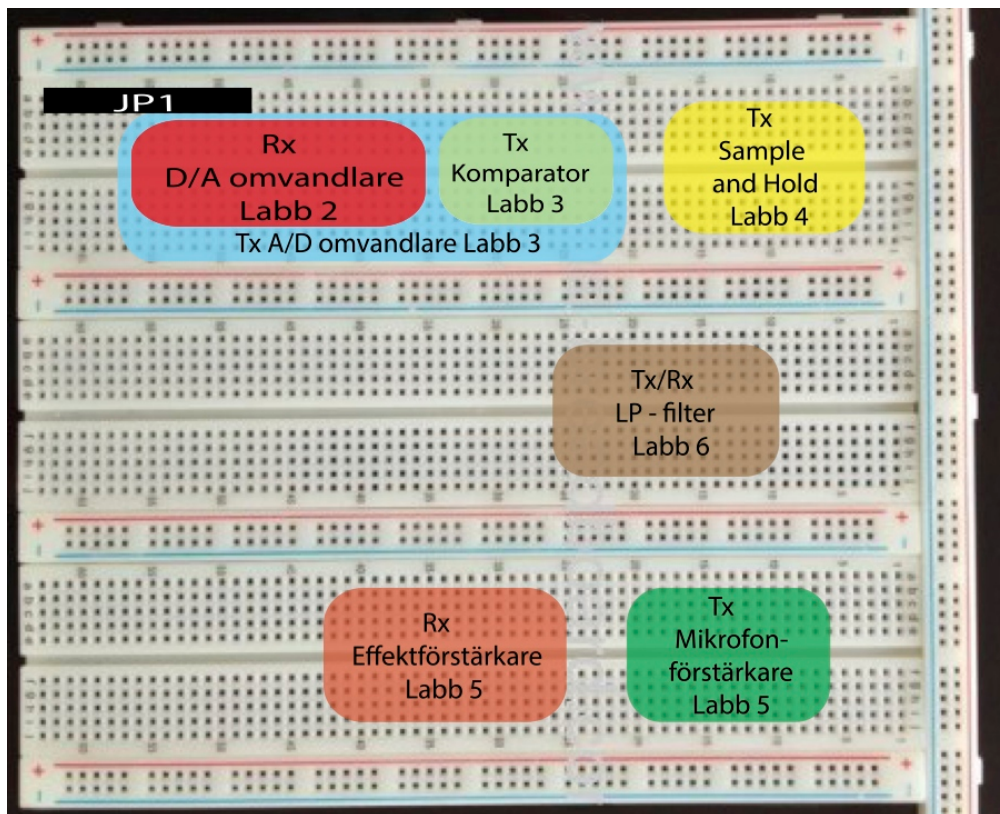
Hårdvara

Vi använder ett kommersiellt FPGA-labkort (Altera DE1) för att konstruera digitala elektronik. Kortet programmeras i VHDL i Quartus-miljön.

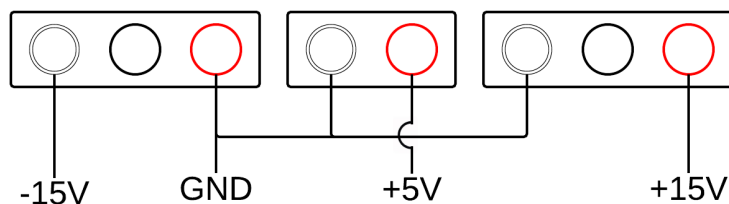
En *kopplingsplatta* (breadboard) används för kretsarna. Vidstående figur visar hur hålen på plattan är förbundna. Använd korta kopplingstrådar, välj ledningsfärg konsekvent och undvik onödiga korsningar. Installera korta testtrådar i kritiska positioner, t.ex. input och output från de olika modulerna.

En modulär uppbyggnad hjälper till att organisera arbetet, möjliggör återanvändning av moduler för olika ändamål och underlättar felsökning. Vi rekommenderar layouten i figuren nedan.





Nätaggregatet ansluts enligt följande figur för att få rätt spänningsnivåer.



Några råd om *oscilloskopet*:

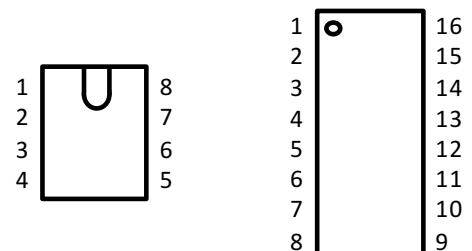
- Använd alltid 10X-proben, vilket skyddar ingångskretsen vid höga frekvenser.
- Börja alltid undersöka signaler med oscilloskopet inställt på DC. Då syns signalerna relativt signaljord (0V). Om oscilloskopet står på AC kommer DC-nivåer inte att synas och man kan få en felaktig bild av omfång och nollgenomgångar.

När *vågformsgeneratoren* används så skall dess impedans sättas till "High Z":

- på Menu, tryck Shift + Enter
- tryck >..>..>..D: SYS MENU
- tryck v..v 50 Ω > HIGH Z
- tryck Enter

Vågformsgeneratoren kan också generera likspänning, genom att hålla inne valfri knapp i 2–3 sekunder.

Pinnarna hos *integrerade kretsar* numreras motsols med början vid markering, se figur.



Om ni märker att någon komponent eller utrustning är trasig, snälla, lägg inte tillbaka dem!
Rapportera misstänkta hårdvarufel till assistenterna.

Felsökning

En stor del av labbarna kommer att tillbringas med testning och felsökning. Detta är helt normalt i elektronikkonstruktion, även i professionella sammanhang. Här är några allmänna tips:

- Kontrollera att det ni byggde förra gången fungerar innan ni bygger vidare.
- Expandera konstruktionen en liten bit i taget och kontrollera funktionen efter varje tillägg.
- Testa om möjligt nya delar separat innan de inkluderas i hela systemet.
- Koppla tillfälligt bort en bit i taget för att isolera problemet.
- Försök felsöka själv innan du ber om hjälp.

Vid felsökning i *digital* elektronik kan det vara värt att tänka på följande:

- Kolla att VHDL-filens namn är samma som entiteten i VHDL-koden och att den är definierad som Top-Level Entity.
- Minska hastigheten genom att använda långsammare triggsignaler. Lägg in LED så att ni ser vad som händer.
- Kolla speciellt klocka, trigg och tillstånd. Kolla att vektorer har tillräcklig längd för att representera de heltal som behövs.
- För integrerade kretsar, kolla att matning och jord är korrekt anslutna. Kolla kopplingen av jord till DE1-kortet.
- För att testa A/D-omvandling, anslut en DC-nivå till analog input. Variera nivån långsamt och observera digital utsignal (bitar) på LED och/eller oscilloskop.
- Ett syntaxfel kan orsaka många varningar. Bli inte rädd utan försök debugga den *första* varningen, så kan det hända att flera andra varningar försvinner automatiskt.
- Många kodexempel finns i föreläsningsbilderna, som bör läsas innan ni börjar koda.

Vid felsökning i *analog* elektronik gäller följande tips:

- Följ signalnivåerna från input till output i respektive modul. Studera signalerna på oscilloskop.
- Mät spänningar i kontrollpunkter och jämför med teoretiskt förväntade värden.
- Om insignalen är OK och utsignalen bottnar (hög eller låg), kontrollera återkopplingsslingan.

Laboration nr 1, Räknare och parallell-till-serie-omvandling

Avancerad digital elektronik behöver vanligen en klocksignal. En stabil frekvens kan erhållas från en kristaloscillator, från vilken fyrkantsvågor med flexibel frekvens kan skapas i mjukvara. Dessa fyrkantsvågor kan användas till att trigga diverse systemfunktioner som skall inträffa regelbundet, såsom sampling eller data transmission, vilket illustreras i figur 1.1. För att styra triggsignalernas frekvens används en räknare. Räknarens minne utgörs av ett heltalsregister, som räknas upp ett steg för varje klockpuls och nollställs efter lagom många pulser.

Triggsignaler med två frekvenser kommer att behövas i labsystemet, en vid samplingsfrekvensen och en vid bittakten. 10 bitar (8 databitar och två signaleringsbitar) kommer att sändas för varje sampel. Som vi skall se, beror pulsbredden hos en triggsignal att på komponenten som den skall styra. Digitala komponenter behöver vanligen en kortare triggpuls (endast en klockpuls bred) än analoga komponenter.

En parallell-till-serie-omvandlare skall också konstrueras, som har flera binära insignaler och en binär utsignal. Bitarna på ingångarna sparas samtidigt (parallellt) i ett register. Därefter läses de ut från registret en i taget (sekventiellt), som visas i figur 1.2. Utsignalens bittakt bestäms av en periodisk triggsignal T_b .

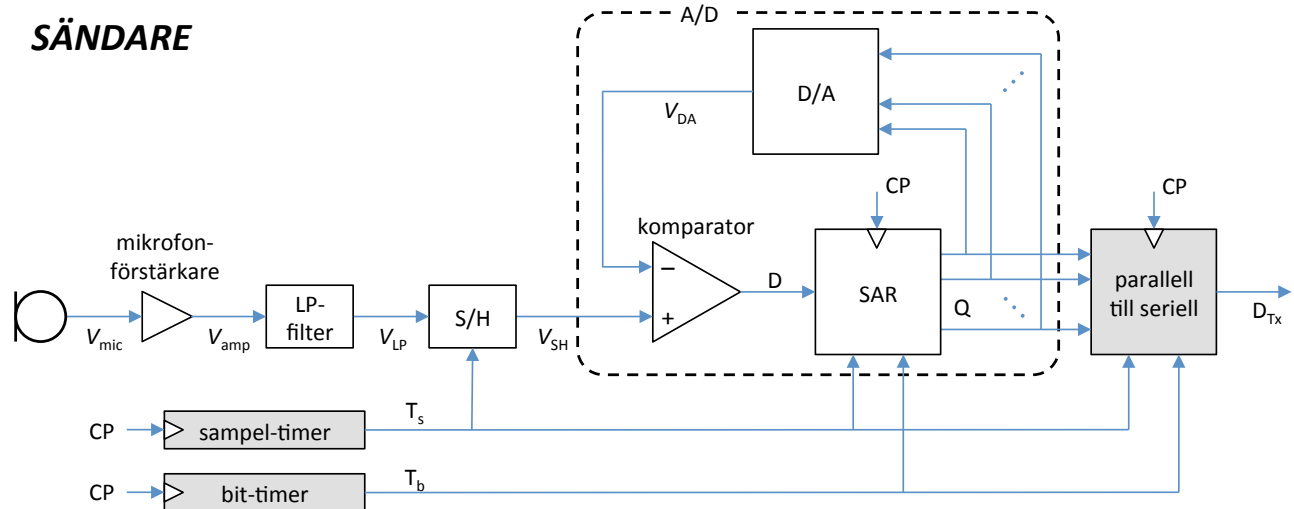


Fig. 1.1: Första laborationens delsystem.

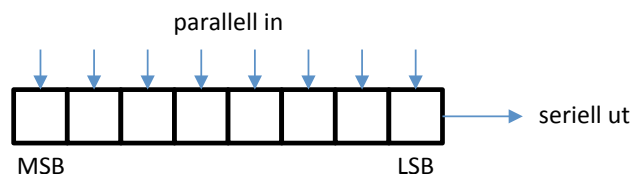


Fig. 1.2: Principen för en parallel-till-serie-omvandlare.

Läsanvisningar

Läs avsnitt 2 och 4.2 i "DE1 Development and Education Board User Manual".

Förberedelseuppgifter

- 1.1 Skriv och simulera VHDL-kod som sammankopplar omkopplarna SW0–SW9 med lysdioderna LEDR0–LEDR9 på labkortet DE1. Lysdioderna LEDR0–LEDR9 skall tändas vid en etta på respektive omkopplare. Slå upp i dokumentationen vilka pinnar på labkortets FPGA-krets som signalerna skall anslutas till.
- 1.2 Skriv VHDL-kod som tar en klocksignal med hög frekvens som input och returnerar ett pulståg med lägre frekvens. Klocksignalen erhålls från den 50 MHz-oscillator som finns

tillgänglig på labkortet DE1. Utsignalen skall bestå av ett pulståg med frekvens 960 Hz och "duty cycle" 5% (d.v.s. pulsen skall utgöra 5% av periodtiden). Inkludera en resetsignal. Simulera i ModelSim, felsök vid behov och verifiera funktionen. Detta pulståg kommer senare att användas som triggsignal T_s för samplingen enligt figur 1.1.

- 1.3 Skapa en ny arkitektur och placera två kopior av koden från uppgift 1.2 som separata processer i denna arkitektur. De båda processerna kan ha samma insignaler men måste ha olika utsignaler. Modifiera en av den till att generera triggsignalen T_b på bitnivå. Frekvensen hos T_b skall vara 9600 Hz och pulsbredden en enda klockpuls (20 ns). Simulera.
- 1.4 En parallell-till-serie-omvandlare skall kodas i synkron VHDL. Implementera den som en annan process i samma VHDL-fil (samma arkitektur). Som insignal används 8 strömbrytare på DE1-kortet. Dessutom behövs de båda triggsignalerna och 50 MHz-klockan. Varje gång som en puls i T_s detekteras, skall bitmönstret som bestäms av strömbrytarna sparas i ett skiftregister (alla bitar parallellt). Registret skiftas ett steg åt höger för varje triggsignal i T_b . Den seriella utsignalen D_{TX} tas från skiftregistrets minst signifikanta bit (LSB), som i figur 1.2. Simulera. Viktigt: synkrona VHDL-processer bör endast klockas från hårdvarugenererade oscillatorsignaler. Exempelvis bör "if rising_edge" i labben endast användas på 50 MHz-klockan, inte på tryckknappssignaler eller egenkonstruerade signaler såsom T_b .

Utförande

Logga in på labdatorn enligt instruktioner på labplatsen. Skapa en egen katalog för samtliga nya projekt i "My Documents" på labdatorn eller på nätverksdisken. Skapa i denna katalog också en ny katalog för just detta nya projekt. Starta programvaran Quartus II. Starta ett nytt projekt med "New Project Wizard" och ange din nyskapade projektkatalog som hemkatalog för det nya projektet. Namnge det nya projektet och låt detta namn också vara namnet på den högsta entiteten. Klicka vidare utan att inkludera gamla filer. Som kretsfamilj och typ ange följande:

Family: "Cyclone II"

Device: "EP2C20F484C7"

Klicka vidare och avsluta "New Project Wizard".

Klicka på "File" > "New" och välj "VHDL File" som filtyp. Vi startar med VHDL-koden för att styra lysdioderna från labkortets omkopplare i förberedelseuppgift 1.1. Du kan kopiera ned din VHDL-kod om du har tillgång till den som textfil. Annars skrivs koden direkt i det nya fönstret. Efter det att filen sparats kan den kompileras. Det är viktigt att filnamnet stämmer med namnet på entity-delen i VHDL-koden. Högerklicka på din VHDL-fil i "Project Navigator" och välj "Set as Top-Level Entity". Kompilera koden genom att klicka på "Start Compilation". Rätta till eventuella fel till dess att kompilatorn är nöjd.

För att koppla ihop VHDL-kodens in- och utsignaler med rätt ben på kretsen används "Pin Planner" som finns under "Assignments". För varje in- och utgång klickar man i rutan "Location" och bläddrar fram rätt ben på kretsen. Alla anslutningar finns beskrivna i manualen "DE1 Development and Education Board, User Manual". Av denna manual framgår vilka pinnar på FPGA-kretsen som är anslutna till speciell hårdvara, såsom LEDer eller omkopplare. Pinnprogrammeringen kan förenklas genom att göra en pinnplanering i exempelvis Excel, kopiera en hel kolumn och klistra in i kolumnen "Location". Efter pinnprogrammeringen skall programmet kompileras ytterligare en gång. Om kompilatorn är nöjd är det sedan dags att programmera kretsen.

Koppla in labkortet till en USB-ingång på labdatorn. Om drivrutinerna inte är aktiverade kommer det upp ett fönster för att göra en installation av drivrutinerna. Drivrutinerna finns i labdatorn enligt instruktioner på labplatsen. Starta programmeringen genom att under "Tools" klicka på "Programmer". Vi skall använda JTAG-länken med hjälp av hårdvaran "USB Blaster Hardware". Är drivrutinerna installerade skall det gå att välja dessa alternativ i det nya fönstret. Klicka på projektets *.sof-fil och markera rutan "Program/Configure". Om allt stämmer skall det nu gå att klicka på "Start"-knappen och programmera labkortet.

Labkortet reagerar inom någon sekund på den nya programmeringen och det nya programmet kan testas. Kontrollera att alla lysdioderna LEDR0 – LEDR9 kan styras av omkopplarna SW0 – SW9.

Checkpoint. Demonstrera funktionen för assistenten.



Starta ett nytt projekt för programmeringen av räknaren och ladda ned VHDL-koden från uppgift 1.3 till FPGA:n på DE1-kortet. De digitala signalerna från DE1-kortet kan kopplas till kopplingsplattan via en flatkabel. Beteckningarna för dess pinnar anges i appendix. I den här laborationen kommer vi bara att de pinnar som hör till T_s och T_b (observera att pinne 32 i appendix inte är samma som DE1-kortets GPIO_2[32]), medan andra pinnar kommer att anslutas i kommande laborationer. Koppla de båda pulstågen T_s och T_b till de avsedda FPGA-pinnarna med hjälp av pinnplaneringsverktyget, och anslut motsvarande pinnar på flatkabeln elektriskt till oscilloskopet. Använd också pinnplaneringsverktyget för att ansluta resetsignalen till en tryckknapp (vars logiska signal går låg när den trycks ned).

Trigga oscilloskopet på T_s och skissa båda signalerna:

Mät amplituder, periodtider och pulsbredder. Beräkna frekvenserna från periodtiderna och fyll i följande tabell.

<i>Signal</i>	T_s	T_b
<i>Amplitud</i>		
<i>Periodtid</i>		
<i>Frekvens</i>		
<i>Pulsbredd</i> (vid halva maximum)		

Zoom in en T_b -puls. Varför ser den inte rektangulär ut?

Checkpoint. Demonstrera funktionen för assistenten.



Implementera parallell-till-serie-omvandlaren från uppgift 1.4 och anslut dess seriella utsignal (D_{TX} i figur 1.1) till oscilloskopet via flatkabeln. Ställ in ett valfritt 8-bitars ord med strömbrytarna och studera resultatet på lysdioden, fortfarande med trigging på T_s .

Valt 8-bitars ord: Skissa den seriella utsignalen:

Utan att avsluta experimentet, ändra strömbrytarnas inställningar och observera på oscilloskopet hur den seriella utsignalen ändras.

Checkpoint. Demonstrera funktionen för assistenten.

OBS! Glöm inte att kopiera alla projektfiler till din hemkatalog innan du loggar ut från labdatorn. Konstruktionen på labplattan sparas till senare labbar.



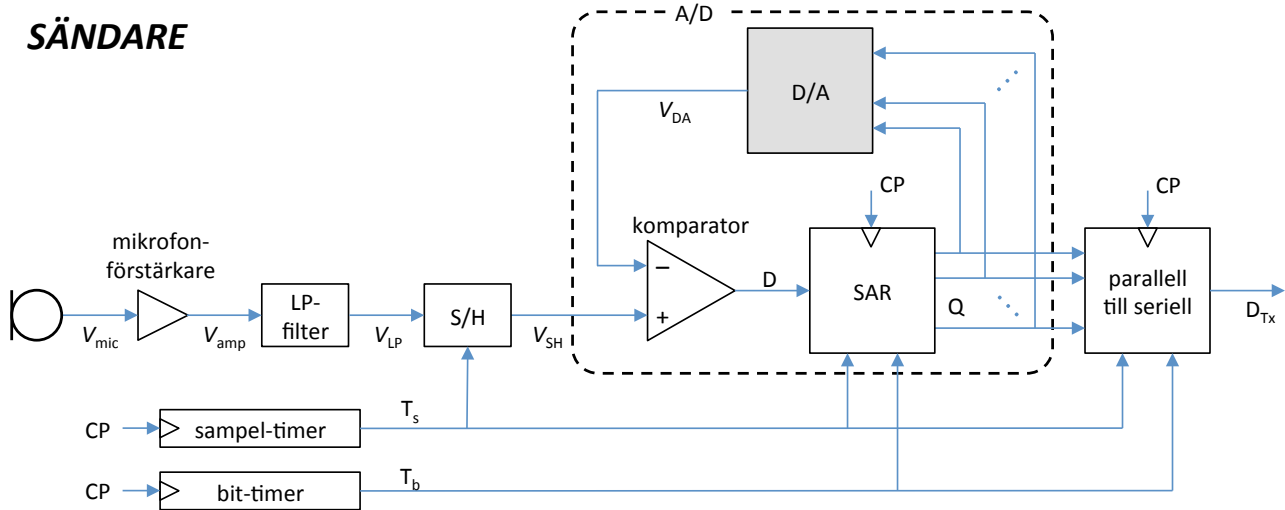
Redovisning i rapporten

VHDL-koder skall redovisas. Uppmätta värden på tider och frekvenser skall redovisas.

Laboration nr 2, D/A-omvandlare

I den andra laborationen skall vi studera D/A-omvandling. Vi skall använda FPGA-kretsen på labkortet DE1 för att generera digitala insignaler. Vi kan verifiera D/A-omvandlarens funktion genom att omvandla utsignalen från en 8-bitars binärräknare. Detta skall ge en analog sågandsspänning.

SÄNDARE



MOTTAGARE

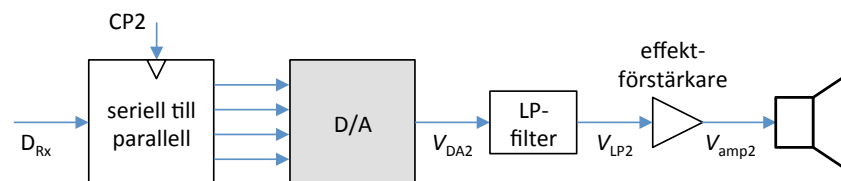


Fig. 2.1: Andra laborationens delsystem.

Fortsättningsvis skall PIN-konfigurationerna skrivas som en kolumn i en separat fil (t.ex. text, Word eller Excel), från vilken de kopieras till Quartus. Se förberedelseuppgifterna 2.4 och 2.5. Denna metod är snabbare och lättare att felsöka än att definiera pinnarna en i taget i Quartus.

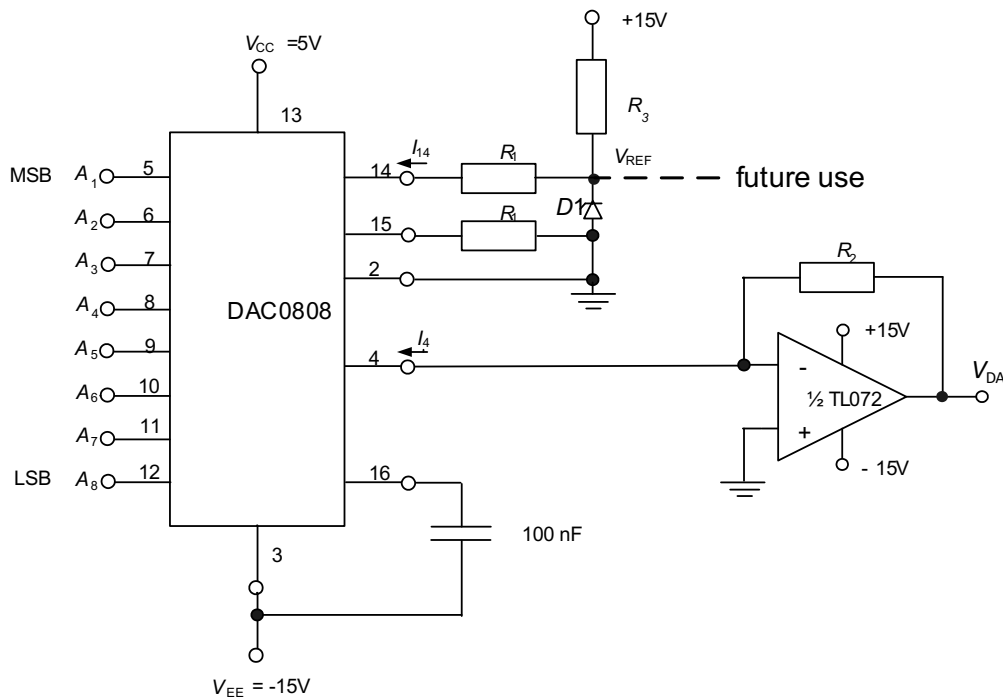


Fig. 2.2: Kretsschemat för D/A-omvandlaren. Flera komponenter kommer att anslutas till V_{REF} i kommande laborationer.

D/A-omvandlaren

Kretsschemat för D/A-omvandlaren framgår av figur 2.2. Den digitala signalen A_1 – A_8 in på D/A-omvandlaren, tolkat som ett heltal A från 0 till 255, styr hur stor andel av inströmmen I_{14} som speglas in på ben 4. Denna ström I_4 är

$$I_4 = I_{14} \frac{A}{256} = I_{14} \left(\frac{A_1}{2} + \frac{A_2}{4} + \dots + \frac{A_8}{256} \right) \quad (2.1)$$

Eftersom $I_{14} = V_{REF}/R_1$ och $V_{DA} = I_4 R_2$, erhålls

$$V_{DA} = \frac{V_{REF} R_2}{R_1} \frac{A}{256} \quad (2.2)$$

Den maximala spänningen är alltså $V_{DA} = \frac{V_{REF} R_2}{R_1} \frac{255}{256}$ och upplösningen (stegstorleken) är

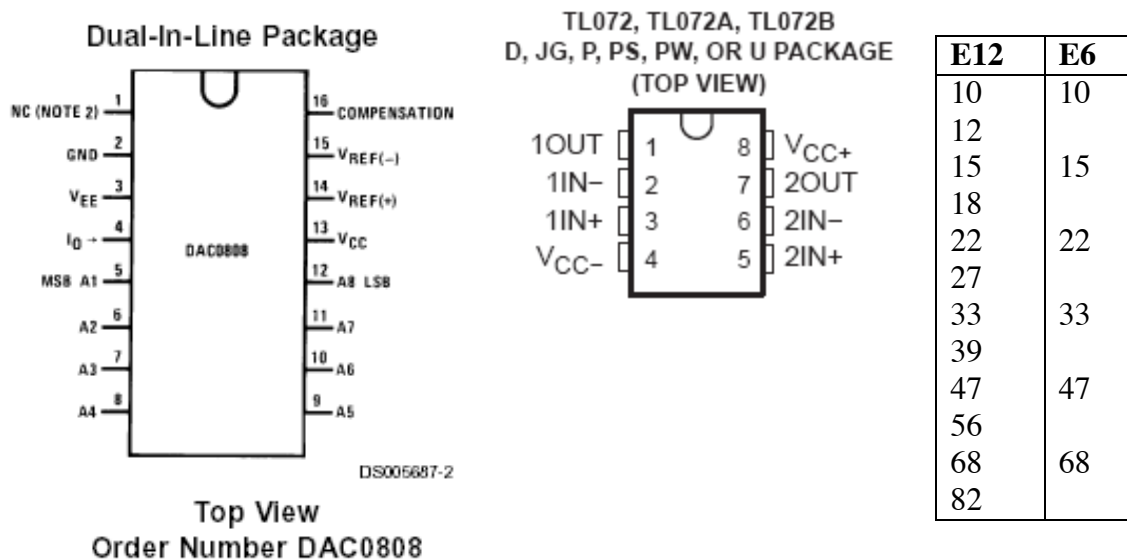
$$V_{DA} = \frac{V_{REF} R_2}{R_1} \frac{1}{256}.$$

Specifikationer

- Strömmen I_{14} rekommenderas enligt datablad att vara ca 2 mA.
- Utspänningen V_{DA} skall ligga i intervallet 0–10 V.
- Strömmen genom R_3 bör inte överstiga 20 mA, för att undvika att bränna motståndet.
- Referensspänningen V_{REF} bestäms av zenerdioden D1, vars zenerspänningen är 5,6 V. Strömmen genom dioden skall vara minst 10 mA för att få en stabil referensspänning $V_{REF} = 5,6$ V. Zenerdioden är märkt max 0,5 W, vilket begränsar dess maximala ström.
- Den streckade linjen i figur 2.2 kommer i senare labbar att mata D/A-omvandlarens offset-motstånd R_5 i figur 4.4 och mikrofonen i figur 5.2. Dessa komponenter drar tillsammans maximalt 2 mA.
- Som logiska nivåer använder vi 0 V för logisk nolla och +3,3 V för logisk etta.

Tillgängliga komponenter

- 8-bitars D/A-omvandlare DAC 0808
- Labkortet DE1 från Altera
- Dubbla operationsförstärkaren TL072
- Resistorer (maxeffekt 0,25 W) i E12-serien från 470 Ω till 10 k Ω
- Kondensatorer i E6-serien från 1 nF till 33 nF
- Zenerdiod (max 0,5 W)



Figur 2.3: Pinnkonfigurationer hos DACen och op-förstärkaren. Tabellen anger standardvärden för E12-serien (resistorer) och E6-serien (kondensatorer).

Förberedelseuppgifter

- 2.1 Skriv pin-numret vid varje anslutning till op-förstärkaren i figur 2.2.
- 2.2 Dimensionera resistorerna R_1 , R_2 och R_3 så att kraven i specifikationen uppfylls. Strömmen genom R_3 och D_1 skall hålla sig inom specificerade gränser både nu, när den streckade linjen är oansluten, och senare när den streckade linjen drar maximalt 2 mA. Använd komponentvärden från E12-serien. Välj värden så att V_{DAmax} , som är det maximala värdet på V_{DA} , blir så nära 10V som möjligt och att strömmen genom R_3 är tillräckligt hög för framtida behov.
- 2.3 Beräkna med ekvation (2.2) teoretiska värden för mittkolumnen i nedanstående tabell, med valda komponentvärden.
- 2.4 Utvidga förberedelseuppgift 1.1 så att signalerna som styr lysdioderna LEDR0–LEDR7 också kopplas ut till kopplingsplinten JP1. På detta sätt kan signalerna kopplas ut till labplattan. Lysdioderna LEDR0–LEDR7 skall tändas vid en etta på respektive omkopplare. Gör en tabell i en separat fil för att pinnkonfigurera FPGA-kretsen på labkortet DE1. Använd den standardiserade pinnkonfigurationen i appendix.
- 2.5 Kopiera processen som genererar bit-triggsignalen T_b från förberedelseuppgift 1.3. Modifiera den nya processen till att generera en triggsignal på 100 Hz, fortfarande med pulsbredd 20 ns. Beräkna det minsta antal bitar som räknaren måste ha.
- 2.6 Skriv VHDL-kod för en 8 bitars binärräknare med styrbar upp- eller nedräkning. Räknaren skall räkna upp eller ned 100 gånger per sekund. Använd den vanliga 50 MHz-klockan i kombination med triggsignalen från uppgift 2.5. Upp/ned-räkning skall styras från switchen SW9. Binärräknarens alla 8 bitar skall finnas tillgängliga som utsignal liksom T_b . Vi skall använda kontaktplinten ”Expansion Header 1” (JP1) för all kommunikation mellan den egna labplattan och labkortet DE1. Binärräknarens utgångar skall också visas på lysdioderna

LEDR0–LEDR7. Simulera funktionen i ModelSim. Gör en tabell i en separat fil för att pinnkonfigurera FPGA-kretsen på labkortet DE1.

2.7 Vilken periodtid får den periodiska signal som uppstår om D/A-omvandlaren styrs av binärräknaren i uppgift 2.6?

Utförande

Följ instruktionerna i Lab 1 för programmering av VHDL-kod, pinnkonfigurering, kompilering och syntes. Vi använder standardutgången 3,3-V LVTTTL.

Koppla upp konstruktionen av D/A-omvandlaren på en labplatta och anslut matningsspänningar $\pm 15\text{V}$ och 5V . Anslut de digitala ingångarna på kretsen DAC0808 till labkortets utgångar via flatkabelns andra honkontakt. Flatkabeln har pinnar för anslutning till kopplingsplattan enligt den andra tabellen i appendix. I den här labben kommer endast pinnarna A1–A8 att användas, medan de andra pinnarna kommer till användning i kommande labbar.

Ladda ned koden från förberedelseuppgift 2.4 till DE1-kortet. Kontrollera om LED-lampornas (och strömbrytarnas) status stämmer med spänningarna A1–A8 i figur 2.2.

Mät även den analoga utsignalen från D/A-omvandlaren vid olika inställningar på den digitala insignalen och jämför med teoretiskt beräknade värden från förberedelseuppgift 2.3. Kommentera eventuella avvikelser.

Digital styrsignal (decimal)	Beräknad analog utsignal (V)	Uppmätt analog utsignal (V)
0		
16		
32		
64		
128		
255		

Starta ett nytt projekt för programmeringen av binärräknaren i förberedelseuppgift 2.6. Resultatet blir att programmet genererar en periodisk sågtandsvåg. Efter nedladdning kan utsignalerna studeras i oscilloskop.

Mät upp sågtandsvågens frekvensen och jämför med den beräknade:

Beräknad periodtid: ms

Uppmätt periodtid: ms

Ställ in en snabbare sågtandsvåg genom att byta till en triggsignal på 9600 Hz . Studera sågtandsspänningen på oscilloskopet. Zooma in och observera hur utsignalen ändras när räknaren

slår om mellan 000... och 111..., alltså då den analoga utsignalen gör ett språng. Syns någon översväng (ringning)?

.....

För att undvika detta fenomen placeras en kondensator C_2 parallelt med R_2 . Rekommenderat värde är 33 pF.

Nu skall vi mäta upp operationsförstärkarens "slew rate", d.v.s. utsignalens maximala amplitudförändringen per tidsenhet. Man bestämmer den genom att lägga ett steg på ingången och mäta hur snabbt utgången ändras. Vi kan använda samma sågtandsvåg som tidigare och fortsätta studera språnget mellan minimal och maximal spänning. Jämför slew rate med och utan kondensator.

Slew rate enligt datablad V/ μ s

Uppmätt slew rate utan C_2 V/ μ s och med C_2 V/ μ s

Slew rate begränsar hur ofta D/A-omvandlaren kan användas. Det är önskvärt att utsignalen hinner konvergera till spänningen som motsvarar den digitala insignalen innan insignalen ändras igen. Detta bör man ta hänsyn till när man väljer triggsignalernas frekvens, vilket kommer att studeras i nästa lab.

OBS! Glöm inte att kopiera alla projektfiler till din hemkatalog innan du loggar ut från labdatorn. Konstruktionen på labplattan sparas till senare labbar.

Checkpoint. Demonstrera funktionen och resultaten för assistenten.



Redovisning i rapporten

Beräkningar av resistansvärden skall redovisas. VHDL-koder och resultat från simuleringar skall redovisas, liksom den ifyllda tabellen under Utförande. Beräknade och uppmätta värden på sågtandsvågens frekvens, "slew-rate" och tider skall redovisas, gärna med stöd av oscilloskopbilder. Jämför den uppmätta slew rate med C_2 och kraven enligt systemspecifikationen.

Laboration nr 3, A/D-omvandlare och seriell sändare

I den tredje laborationen skall vi studera A/D-omvandling och seriell överföring av en digital signal. Vi skall implementera den digitala styrkretsen till A/D-omvandlingen och parallell- till serie-omvandlingen i FPGA-kretsen på labkortet DE1.

SÄNDARE

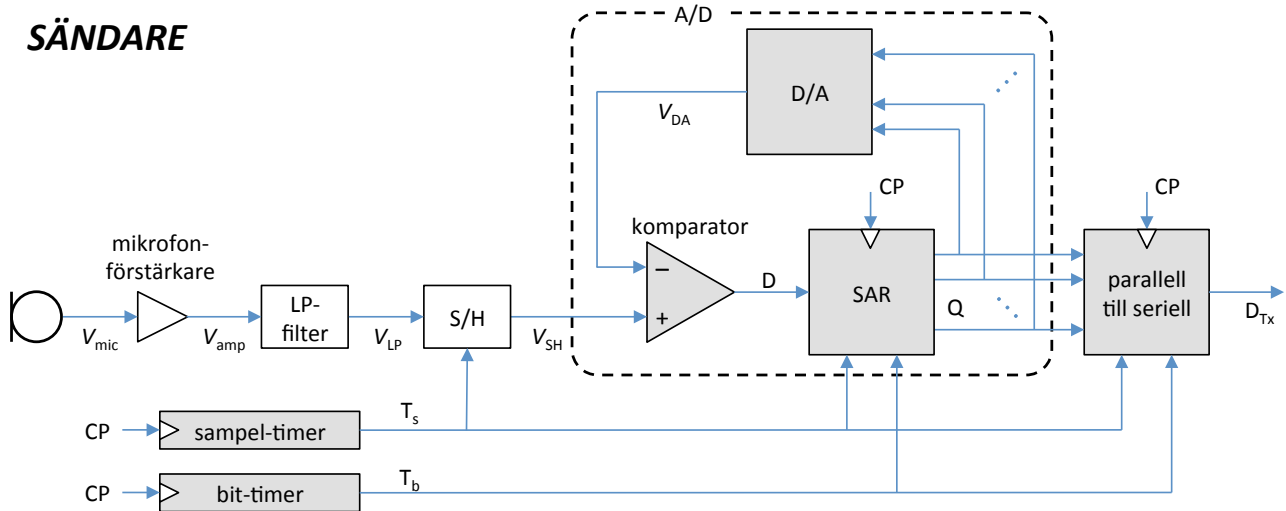


Fig. 3.1: Tredje laborationens delsystem.

A/D-omvandlaren

Det finns många slags A/D-omvandlare. Den typ som vi använder i denna lab innehåller D/A-omvandlaren från lab 2, kompletterad med en digital kontrollenhet, ett så kallat "successive approximation register" (SAR), som "gissar" den digitala insignalen till D/A-enheten som skapar en analog nivå som ligger så nära den givna insignalen som möjligt. Omvandlingen av ett sampel består av flera jämförelser (i det här fallet åtta), och varje jämförelse genererar en bit.

Principen för en A/D-omvandlare med successiva approximationer framgår av figur 3.2. Styrenheten skapar successivt signaler på utgångarna som motsvarar den analoga signalens digitala värde. Efter lika många jämförelser som antalet bitar i A/D-omvandlingen har vi fått hela det digitala ordet på utgångarna och omvandlingen är klar. Styrenheten kallas successivt approximationsregister (SAR). Principen framgår av tidsdiagrammet i figur 3.2, som visar signalerna i en 8-bitars SAR.

SAR-processen skall ha följande in- och utgångar:

CP	klockpulsingång
T_b	triggsignal (ingång) för varje jämförelse
T_s	triggsignal (ingång) som startar omvandlingen av ett analogt sampel
D	dataingång som genereras av komparatorn
Q0 – Q7	8-bitars parallell datautgång
state	10 tillstånd i SAR-kretsens tillståndsmaskin
reset	tryckknappssignal för att sätta processen i ett förutbestämt tillstånd

Omvandlingen startar med en positiv puls på T_s -ingången. Alla utgångar nollställs förutom utgång Q7, som är 1, vilket skapar en spänning V_{DA} som är halva maxspänningen att jämföra med. Komparatorn ger nu besked om den analoga insignalen V_{SH} är större eller mindre än V_{DA} . Komparatorns resultat läggs genast in på dataingången D. Värdet på D-ingången överförs vid nästa T_b -puls till utgången Q7. Samtidigt sätts utgången Q6 till 1, varefter en ny jämförelse görs av komparatorn med resulterande utslag på dataingången D. Samma procedur upprepas till alla utgångarna har ettställts en gång och komparatorn har gett motsvarande bitar till dataingången. Efter

att den minst signifikanta biten Q0 har bestämts, ligger utsignalen kvar på Q7–Q0 ända tills nästa T_s -puls kommer.

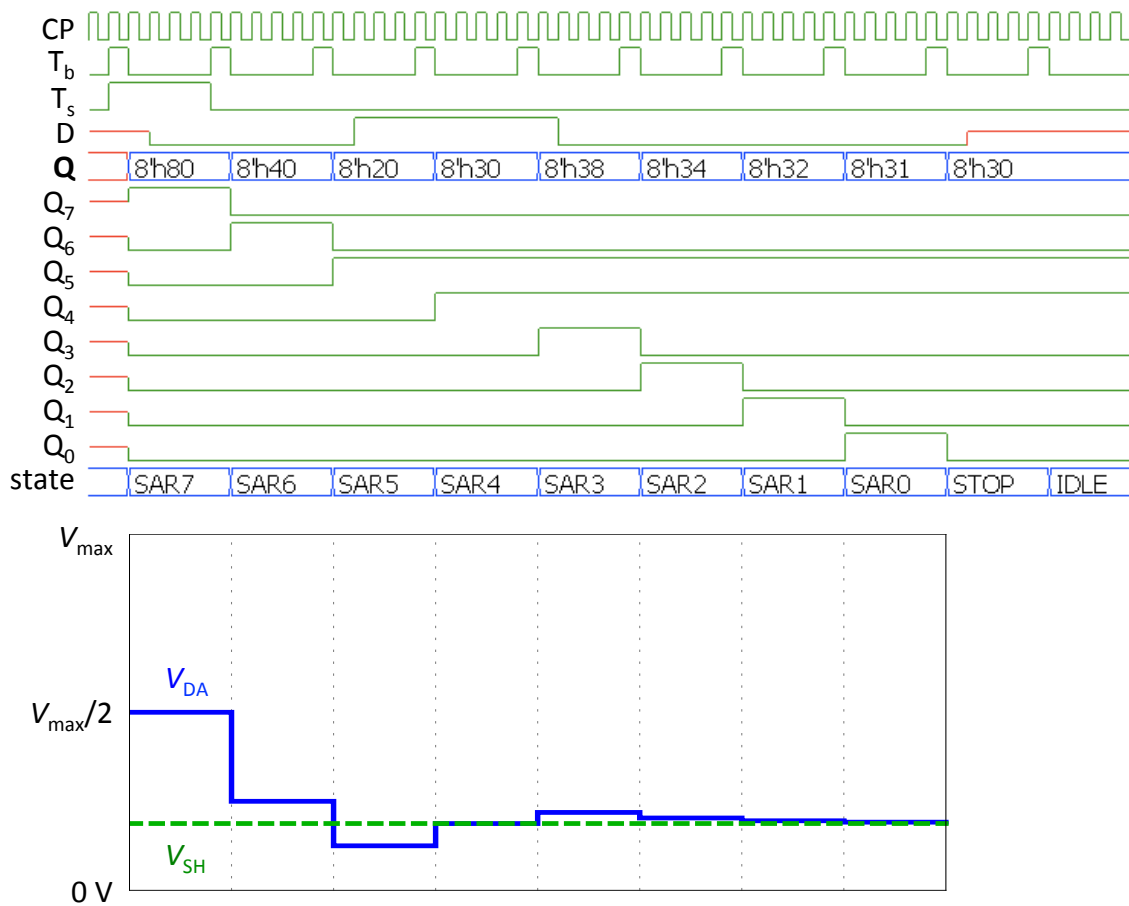


Fig. 3.2: Tidsdiagram för signalerna i en 8-bitars A/D-omvandlare med successiva approximationer. Den analoga insignalen motsvarar en digital utsignal 00110000. Den undre figuren visar komparatorns insignaler (se figur 3.1). SARens approximation V_{DA} konvergerar gradvis till den analoga insignalen V_{SH} . Klocksignalen CP är egentligen mycket snabbare än vad som visas här.

Signalen in på dataingången är en asynkron signal och hastigheten begränsas av eventuella fördröjningar i operationsförstärkare och komparator.

Vi behöver komplettera D/A-omvandlaren från laboration 2 med en komparator enligt figur 3.3. Utgången från komparatorn har en ”öppen kollektor”, vilket innebär att vi kan anpassa hög utsignal till DE1-kortets signalnivå på 3,3 V. Denna spänning finns tillgänglig på DE1-kortets kontaktpint. Lämpligt värde på pull-up-resistorn R_4 är 1 k Ω . Komparatorns låga utsignal kan också anpassas via utgången ”output ground” och vi kopplar denna till kretsens signaljord enligt schemat.

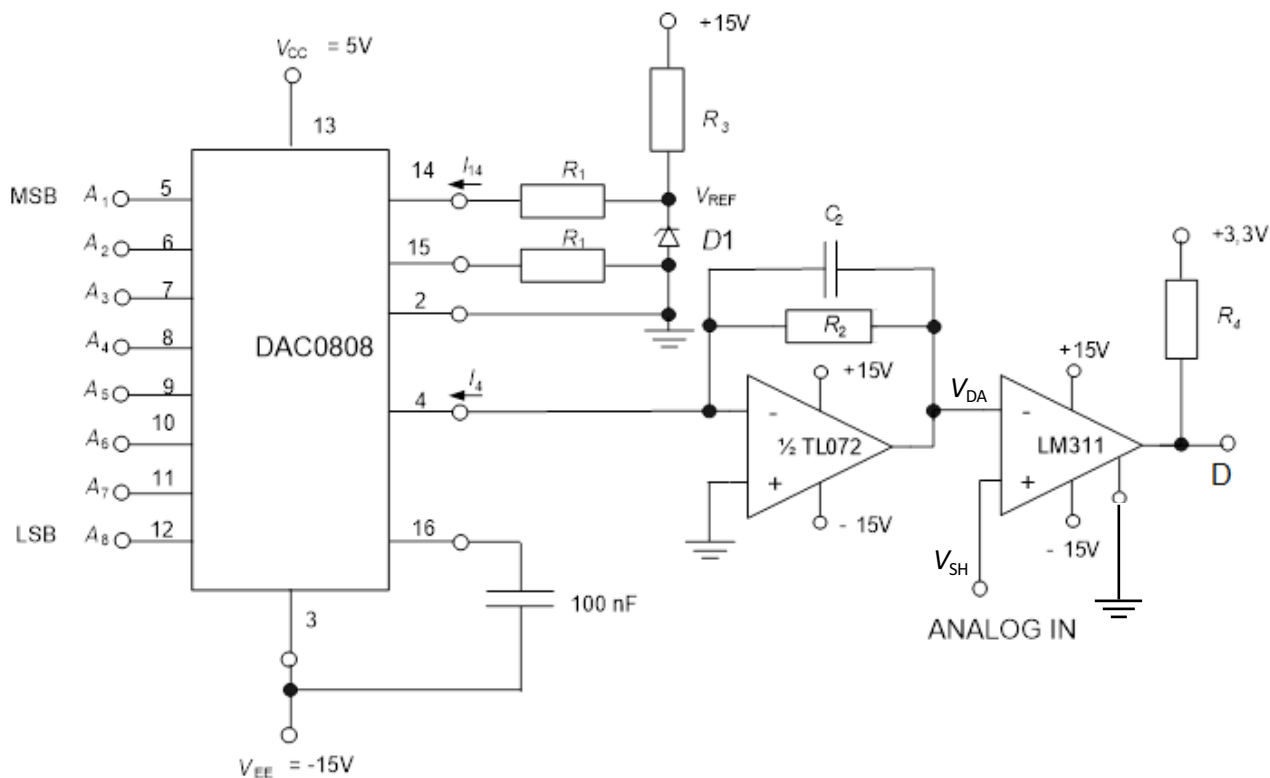


Fig. 3.3: Kretsschemat för den analoga delen hos A/D-omvandlaren.

Eftersom komparatorns utsignal D återkopplas till SAREn, är det viktigt att veta fördröjningen från en förändring i I_4 till att D reagerar. Denna fördröjning består av två delar, dels fördröjningen över operationsförstärkaren, som är maximal när I_4 tar ett stort steg, och dels fördröjningen över komparatorn, som är maximal när V_{SH} ligger nära det nya värdet på V_{DA} (efter förändringen i I_4).

Vid laborationen skall ett 8-bitars SAR konstrueras genom att programmera FPGA-kretsen på labkortet DE1. Funktionen skall före laborationstillfället kontrolleras i simuleringsprogrammet ModelSim. Vid laborationstillfället görs en ny kompilering av VHDL-koden genom programmet Quartus II som också syntetiserar en lösning till FPGA-kretsen.

Seriell sändare

Den digitaliserade analoga signalen kan överföras seriellt genom att utnyttja den parallella utsignalen Q på SAR-kretsen. Vi skall överföra denna utsignal seriellt. För att göra detta enligt den asynkrona standarden RS232, som sänder LSB först och MSB sist, använder vi parallel-till-serie-omvandlaren från lab 1 för att skicka Q seriellt till D_{TX} . Enligt standarden komplettera denna dataström med en start och en stoppbit som visas i figur 3.4. Utnyttjar vi labkortets RS232-utgång så erhålls rätt spänningsnivåer för RS232-standardens. Enligt standarden skall en "etta" motsvaras av en negativ spänning mellan $-3V$ och $-15V$ och en "nolla" av en positiv spänning mellan $+3V$ och $+15V$. Kretsen på labkortet DE1 ger spänningsnivåerna $-8V$ och $+8V$. Enligt standarden är startbiten en nolla ($+8V$) och stoppbiten en etta ($-8V$). I vila ligger utsignalen på $-8V$ (stoppbiter).

För att kommunicera mellan två enheter enligt RS232-standardens behövs endast två trådar där sändaren använder pin 5 (jord) och pin 3 (Tx). Mottagaren använder pin 5 (jord) och pin 2 (Rx). Se figur 3.5. På DE1-korten sitter motsvarande honkontakter vilket innebär att DE1-korten betraktas som DCE-utrustning (Data Communication Equipment). En dator är normalt en DTE-utrustning (Data Terminal Equipment).

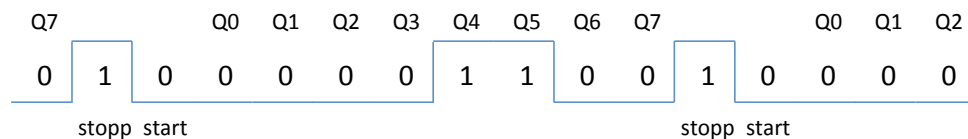


Fig. 3.4: Logiska nivåer på seriellt transmitterade data D_{Tx} . Enligt RS232-standarden kommer den minst signifikanta biten först. Dataordet är $Q = 00110000$.

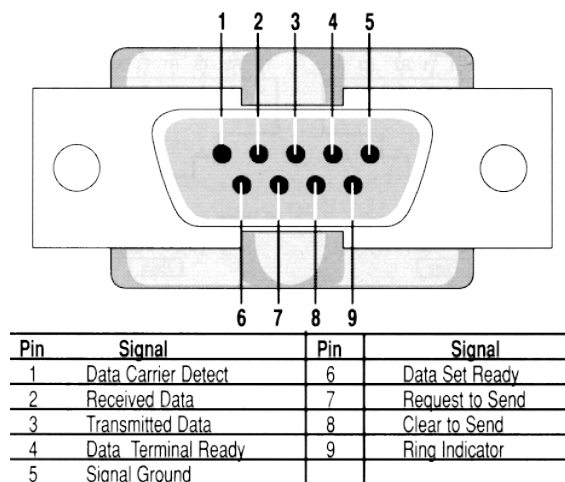


Fig. 3.5: DB9 hankontakt sedd utifrån, motsvarande den som finns på DTE-utrustningen (datorn), som används i RS232-standarden. På DCE-sidan (modemet) finns motsvarande honkontakt.

Kommunikationsprogrammet används på följande sätt.

1. Klicka på Start-knappen. I sökrutan, skriv "ds30 loader GUI" och välj sedan ds30 loader GUI i listan med sökresultat.
2. Välj No i fönstret som frågar om uppdateringar.
3. Klicka på View-menyn och därefter Advanced mode.
4. Välj Terminal-fliken. I rullgardinslistan Baudrate, välj 9600. Click Open för att starta kommunikationen.
5. Skriv text på Tx-radens för att sända. Mottagen text visas på Rx-radens.

Förberedelseuppgifter

- 3.1 Hur skall Q_7 – Q_0 kopplas till A_1 – A_8 ?
- 3.2 Skriv pin-numret vid varje anslutning på op-förstärkaren och komparatorn i figur 3.3. Komparatorns ben 5 och 6 skall kopplas ihop med varandra.
- 3.3 Vi skall uppskatta fördröjningen i återkopplingen från Q till D , som bestämmer hur ofta A/D-omvandlaren kan aktiveras. Gör därför en Spice-simulering av den analoga kopplingen i figur 3.3, från strömmen I_4 till komparatorns datautgång D . Komponenter som saknas i LTspice kan laddas ned från kurshemsidan. Låt den analoga insignalen V_{SH} vara konstant 20 mV, vilket motsvarar bitmönstret $Q=00000001$ (kolla). Låt I_4 förändras i ett steg från 0 till 1 mA, för att simulera en förändring i MSB. Mät fördröjningen från att I_4 ändras till att D har stabiliserats på den nya nivån. Mät sedan samma sak när I_4 ändras från 1 till 0 mA. I vilket fall är fördröjningen störst? Försök förklara varför. Mät också fördröjningen från en förändring i I_4 tills att V_{DA} har stabiliserats på den nya nivån i samma situationer. Jämför dessa fördröjningar med föregående mätningar och dra slutsatser.
- 3.4 Rita tillståndsdigram för en 8-bitars SAR-krets. Den skall ha en dataingång D och en ingång T_s som startar omvandlingen, och som utgår parallellporten Q . Omvandlingen skall startas när T_s är 1. Efter avslutad omvandling skall tillståndsmaskinen gå till ett tillstånd där den väntar på en ny startsignal.

- 3.5 Implementera tillståndsdigrammet från uppgift 3.4 som en tillståndsmaskin i VHDL. Omvandlingens hastighet styrs av den interna klocksignalen på 50 MHz och de två triggsignalerna T_s och T_b . Resultatet efter varje omvandling skall visas på lysdioderna LEDR0–LEDR7. Definiera FPGA-kretsens pinnkonfiguration i en tabell.
- 3.6 Simulera SAR-funktionen i ModelSim. Visa tidsdiagram för signalerna på in- och utgångar under en omvandlingscykel.
- 3.7 Modifiera parallell-till-serieomvandlaren från lab 1 till att sända en start- och en stoppbit före resp. efter de 8 databitarna. Stoppbiten skall ligga kvar på utgången efter omvandlingen. Definiera FPGA-kretsens pinnkonfiguration i en tabell.
- 3.8 Simulera den modifierade parallell-till-serieomvandlaren i ModelSim, först för sig själv och sedan ihopkopplad med SAR-kretsen.

Utförande

A/D-omvandlare

Koppla upp kretsen i figur 3.3 på labplattan och anslut matningsspänningar $\pm 15V$ och $5V$. Anslut en vågformsgenerator till den analoga insignalen och konfigurera den till att generera en DC-spänning. Öka långsamt spänningen från 0 till 10 V och observera hur LED-displayen förändras. Fungerar A/D-omvandlaren som den skall?

Sätt den analoga insignalen på 5V. Det teoretiskt förväntade digitala ordet från A/D-omvandlaren är och det uppmätta ordet är

Koppla T_s och V_{DA} till oscilloskopet, en på varje kanal, med T_s som triggsignal. Variera den analoga DC-spänningen och observera hur V_{DA} ändras. Försök att ställa in en spänning som ger samma V_{DA} -kurva som i figur 3.2. Ta skärmdumpar eller foton av signalerna på oscilloskopet.

Spänningen V återskapar ungefär V_{DA} -kurvan i figur 3.2. Förklara relationen mellan denna spänning och det digitala värdet 00110000:

.....

Härnäst skall vi mäta fördröjningen i figur 3.3, från den digitala insignalen Q till komparatorns utsignal D. Denna uppgift vidareutvecklar uppgiften i lab 2, där fördröjningen från Q till V_{DA} beroende på slew rate uppmättes.

Ställ in DC-spänningen på 3 V (digitalt 010...) och studera Q7 (som är MSB) och D på oscilloskopet, fortfarande med triggning på T_s . Ta skärmdumpar eller foton av signalerna på oscilloskopet.

Uppmätt tidsfördröjning från Q till D: μs

Hur förändras fördröjningen om insignalen ökas från 3 V till en nivå strax under halva maxspänningen (motsvarande digitalt 0111...)? Försök förklara varför fördröjningen ändras.

Hur stor är den uppmätta fördröjningen jämfört med fördröjningen från Q till V_{DA} som uppmättes i lab 2? Förklara varför fördröjningarna är olika.

.....

Jämför även den uppmätta fördröjningen med fördröjningen som konstaterades i simuleringen i förberedelseuppgift 3.3. Förklara varför fördröjningarna är olika.

.....

Efter att ha ställt in en digital insignal Q, behöver SAREn vänta på motsvarande utsignal D innan den kan bestämma nästa insignal Q. Därför måste tiden mellan triggpulser i T_b vara större än fördröjningen som uppmättes ovan. Notera att frekvensen hos T_b är samma som transmissionssystemets bithastighet, eftersom varje SAR-cykel genererar en bits information.

Baserat på denna fördröjning, vad är högsta möjliga bithastighet? Mbit/s

Checkpoint. Demonstrera funktionen och resultaten för assistenten.



Seriell transmission

Vid laborationstillfället kommer du att använda ett RS232-kompatibelt kommunikationsprogram på labdatorerna för att testa din A/D-omvandlare. Ställ in datatakten på 9600 bit/s. Koppla ihop RS232-portarna med hjälp av den modemkabel som finns i labsalen. Testa utrustningen genom att omvandla en ren DC-spänning inom området 0–10V. Ta en skärmdump eller foto av kommunikationsprogrammet.

Analog signal V

Digitalt ord från A/D-omvandlaren

Mottaget ASCII-tecken

Checkpoint. Demonstrera funktionen och resultaten för assistenten.



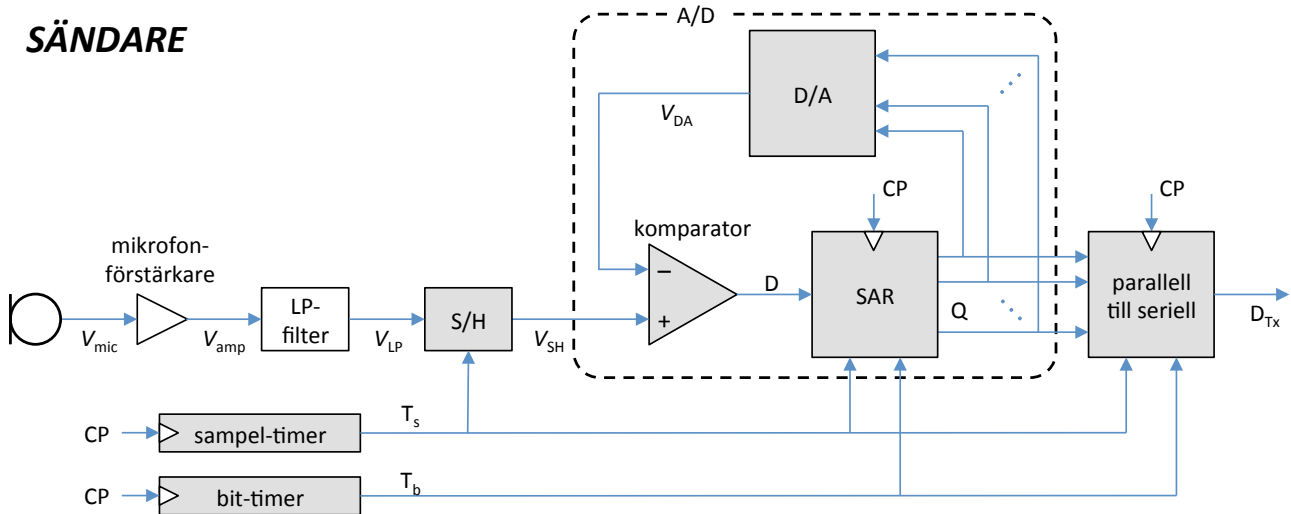
Redovisning i rapporten

Tillståndsdigram och VHDL-kod samt tidsdiagram enligt frågorna i förberedelseuppgifterna skall redovisas. Redovisa simulering, uppmätta resultat och skärmbild för A/D-omvandlaren tidsfördröjningen (se Utförande ovan), och jämför med systemspecifikationerna. Redovisa skärmbild av tidsdiagrammen för T_s , V_{DA} , Q och D. Mätningar från den seriella överföringen skall också redovisas.

Laboration nr 4, Seriell överföring

I den fjärde laborationen skall vi studera seriell överföring av en digitaliserad analog AC-signal från en vågformsgenerator och även transmission av ASCII-tecken från ett RS232-kompatibelt kommunikationsprogram på labdatorn.

SÄNDARE



MOTTAGARE

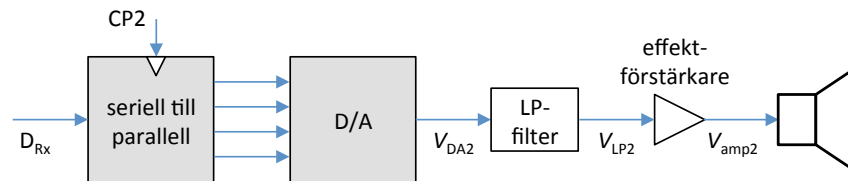


Fig. 4.1: Fjärde laborationens delsystem.

Sample-and-Hold-krets

Med den typ av A/D-omvandling vi valt så måste den analoga signalen vara konstant under hela omvandlingscykeln. Detta löser vi genom att låta triggsignalen T_s styra en sample-and-hold-krets (S/H), som har förmågan att spara en spänning i ett analogt "minne" (en kondensator) och hålla den konstant en stund. S/H-kretsen LF398, vars pinnkonfiguration visas i figur 4.2, har analoga in- och ut signaler (pinne 3 och 5) och två logiska insignaler (pinne 7 och 8), som styr funktionen enligt följande:

$$\begin{cases} \text{sampla} & \text{om } V_8 - V_7 > 1.4 \text{ V,} \\ \text{håll} & \text{om } V_8 - V_7 < 1.4 \text{ V.} \end{cases} \quad (4.1)$$

Här betyder "sampla" att minnet laddas med nuvarande inspänning. "Hålla" betyder att utspänningen hålls konstant, lika med inspänningen vid slutet av närmast föregående "sample"-händelse, oavsett nuvarande inspänning.

Matningsspänningarna för kretsen LF398 kan vara ± 15 . Hållkapacitansen C_h kopplas mot jord och kan typiskt ha värdet 10 nF. "Offset adjust" kan lämnas öppen.

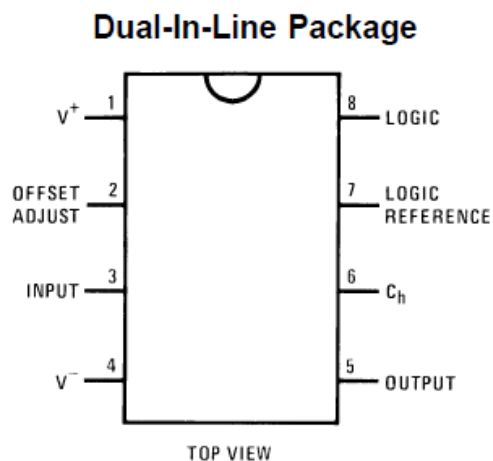


Fig. 4.2. Anslutningspinnarna för S/H-kretsen.

Bipolära signaler

För att kunna omvandla tidsvarierande AC-sigaler kan det vara en fördel att låta det analoga inspänningsområdet vara symmetriskt kring 0 V. För D/A-omvandlaren kan vi förskjuta utsignalen genom att introducera en resistor R_5 enligt figur 4.3.

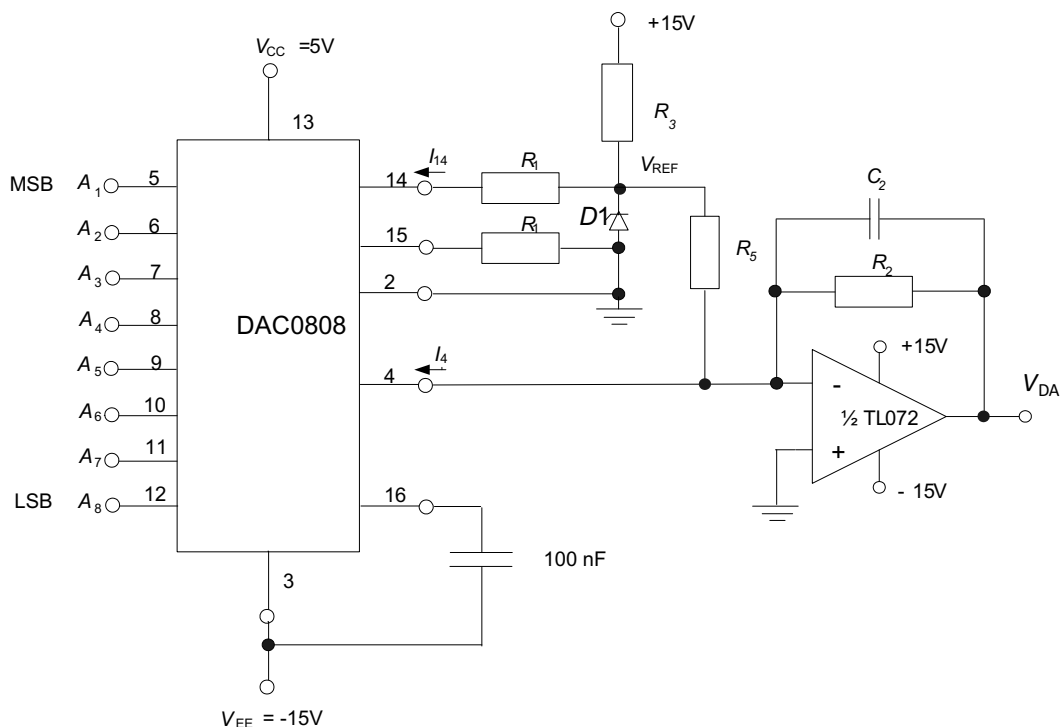


Fig. 4.3: Kretsschemat för den analoga delen hos en bipolar D/A-omvandlare.

Seriell mottagare

Överföringen kommer att ske asynkront och mottagaren måste känna till den datatakt som vi sänder med. Synchronisering sker genom att mottagaren identifierar övergångarna från stoppbit till startbit. I stopptillståndet ligger utsignalen på logisk 0. Mottagaren känner av när det dyker upp en startbit och startar en sekvens med avläsningar av signalen vid respektive bitperiods mittpunkt. Efter stoppbiten kan mottagaren aktiveras på nytt så fort det kommer en ny startbit. Efter 8 mottagna bitar kan det erhållna dataordet omvandlas till en analog signal. Se exemplet i figur 3.5.

I verkligheten representeras logisk 1 av $-8V$ och 0 av $+8V$ på DE1-kortet. Detta görs automatiskt i kortets drivkretsar, så vi behöver endast bry oss om de logiska nivåerna (0 och 1) i labben.

Förberedelseuppgifter

- 4.1 Gör ett kopplingsschema för hur S/H-kretsen LF398 skall anslutas. Den skall sampla när T_s är hög (3.3 V) och hålla när T_s är låg (0 V). Denna funktion kan definieras genom att ansluta pinne 7 och 8 på lämpligt sätt. Kopplingen kan konstrueras antingen genom att analysera ekvation (4.1) eller genom att välja ett lämpligt kopplingsexempel från databladet för LF398. Ange pinn-nummer på kopplingsschemat.
- 4.2 Beräkna lämpligt värde på resistansen R_5 så att omvandlingen omfattar bipolära analoga signaler inom området ± 5 V.
- 4.3 Rita ett tillståndsdigram för en 8-bitars seriell till parallell-omvandling där protokollet definieras av RS232-standarden. Tillståndsdigrammet skall innehålla ett stopptillstånd och ett starttillstånd.
- 4.4 Konstruera i form av en tillståndsmaskin i VHDL en 8-bitars seriell till parallell-omvandling där protokollet definieras av RS232-standarden. Mottagaren skall aktiveras av övergången mellan stoppbit och startbiten, och omvandlaren skall detektera signalvärdet i mitten av respektive bitperiod. Det senast mottagna parallella dataordet skall finnas tillgängligt för A/D-konvertering på kopplingsplattan. För felsökningsändamål presenteras det senaste dataordet på 8 lysdioder. Definiera FPGA-kretsens pinnkonfiguration i en tabell i separat fil.
- 4.5 Simulera funktionerna i ModelSim. Visa tidsdiagram för signalerna på in- och utgångar under en omvandlingscykel.
- 4.6 Vilket bitmönster kan man förvänta sig om datorn skickar ASCII-tecknen "P" och "??"? Fyll i dessa bitsekvenser i tabellen under "Mottagare" nedan.

Utförande

Modifikation av sändaren

Koppla upp kretsen LF398 på labplattan och trigga den med hjälp av T_s , enligt förberedelseuppgift 4.1. Anslut till den tidigare konstruktionen av A/D-omvandlaren från lab 3 och ladda ned sändarens VHDL-kod. Modifiera A/D-omvandlaren så att den omvandlar bipolära signaler inom området ± 5 V. Anslut en triangelvåg med frekvensen 500 Hz och amplituden 5 V till S/H-kretsens analoga ingång och studera dess insignal och utsignal på oscilloskop. Frys oscilloskopbilderna med knappen RUN/STOP. Förklara skillnaden mellan S/H-kretsens in- och utsignal.

Om signalen stämmer med den förväntade, kan utgången från S/H-kretsen kopplas vidare till V_{SH} på A/D-omvandlarens komparator. Kontrollera att omvandlingen fungerar för DC-signaler och mät upp det nya sambandet mellan analog insignal och digital utsignal.

Mät utsignalen från A/D-omvandlaren vid olika inställningar på den analoga insignalen:

Analog insignal DC (V)	Beräknad digital utsignal	Uppmätt digital utsignal
-5		
-2		
-1		
0		
1		
2		
5		

Hur väl stämmer mätningarna med beräkningarna? Kommentera eventuella avvikelser.

Mottagare

Vi använder ett RS232-kompatibelt kommunikationsprogram på labdatorerna som sändare för att testa den konstruerade mottagaren. Se till att den inställda dataakten motsvarar 9600 bit/s, både i din VHDL-kod och i datorn. Koppla ihop RS232-portarna med hjälp av den modemkabel som finns i labsalen. Testa mottagaren genom att detektera olika utsända ASCII-tecken och mät upp den analoga utspänningen. Försök att finna ett sätt att sända en bitsekvens som ger en positiv utspänning i mottagaren.

ASCII-tecken	Mottagen bitsekvens	Uppmätt analog utsignal (V)
P		
?		
å		
!		
=		
A		

Checkpoint. Redovisa funktionen för assistenten. VHDL-delen av laborationen skall nu vara avklarad. Om VHDL-koden inte fungerar som avsett, be assistenten om hjälp. Korrekt kod är en förutsättning för att kommunikationssystemet i lab 6 skall fungera.



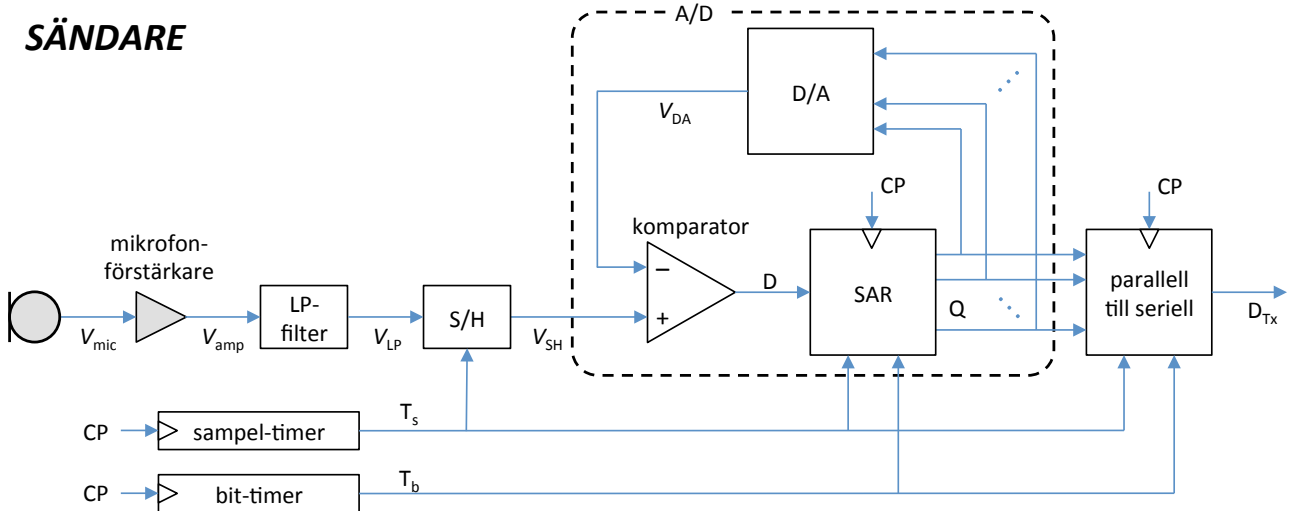
Redovisning i rapporten

Tillståndsdigram och VHDL-kod skall redovisas, liksom beräkningen av R_5 . Visa och förklara skillnaden mellan S/H-kretsens in- och utsignal. Redovisa mätningarna av A/D-omvandlarens utsignal och den seriella överföringen i tabellerna ovan.

Laboration nr 5, Audioförstärkare

I den femte laborationen skall vi studera audiosignaler och audioförstärkare. Vi skall dels konstruera en mikrofonförstärkare och dels en effektförstärkare för att driva en hörlur eller högtalare.

SÄNDARE



MOTTAGARE

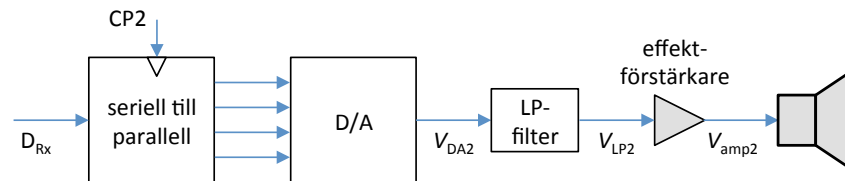


Fig. 5.1. Femte laborationens delsystem.

Mikrofonförstärkare

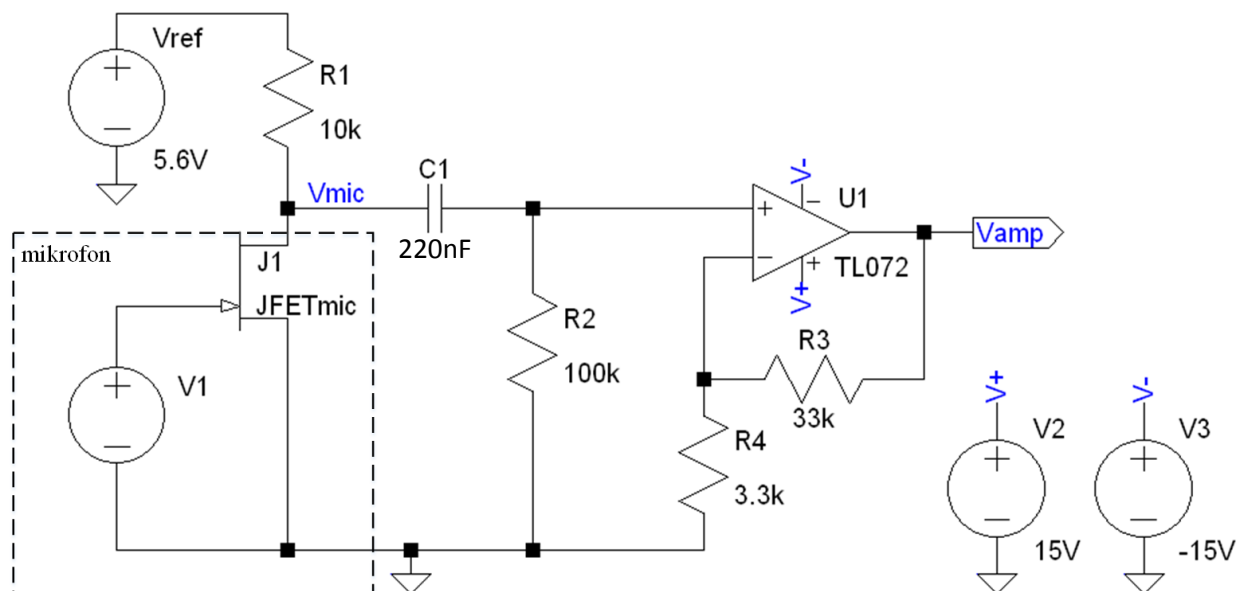
Ett förslag på en enkel mikrofonförstärkare visas i figur 5.2. Mikrofonen är en elektretmikrofon med en inbyggd JFET. En N-kanal JFET har samma ström-spänningskaraktäristik som en MOS-transistor av utarmningstyp, d.v.s. med negativ tröskelspänning V_T . Efter mikrofonen följer en högpaslink till en icke-inverterande förstärkare. Utsignalen skall ha en maximal amplitud som ryms inom A/D-omvandlarens maximala spänningsintervall på $\pm 5V$. Mikrofonens vilostrom är ca 0,25 mA, vilket innebär att vi kan beräkna I_{DSS} för JFET-transistorn. Eftersom styrspanningen $U_{GS} = 0V$ kan vi anta att I_{DSS} är lika med vilostrommen 0,25 mA.

Ljudtrycksnivå eller sound pressure level (SPL) definieras som:

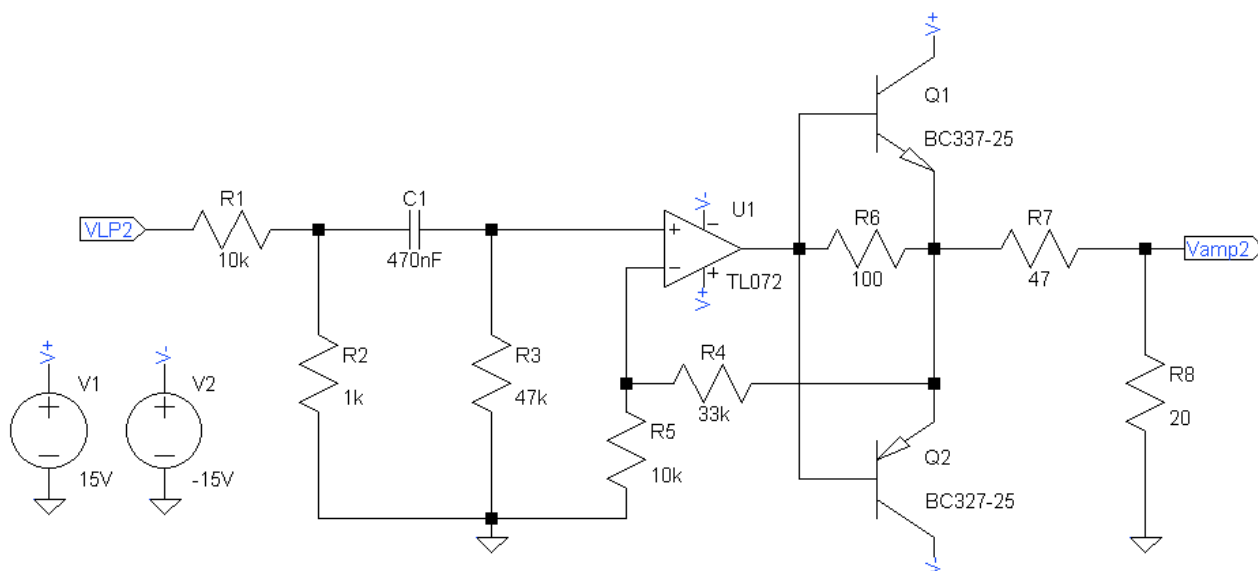
$$SPL = L_p = 20 \log \left(\frac{p}{p_{ref}} \right) (\text{dB})$$

där p är ljudtrycket (Pascal (Pa) eller N/m^2) och p_{ref} är ett referenstryck lika med 20 μPa vilket också anses vara en normal hörtörskel vid frekvensen 1000Hz. Ljudtrycket 1 Pa motsvarar 94 dB SPL.

Specifikationer: Vid 2 k Ω inimpedans kan en elektretmikrofon typiskt ha en känslighet på -39 dBV/Pa enligt datablad. Maximal utsignal för vår mikrofonförstärkare skall vara $\pm 5V$ i amplitud d.v.s. ca 11 dBV, för att utnyttja A/D-omvandlarens fulla omfång.



Figur 5.2. Kretsschema för mikrofonförstärkaren. Mikrofonelementet representeras av en JFET (J_1) och ljudvågen av en växelspanningsgenerator (V_1).

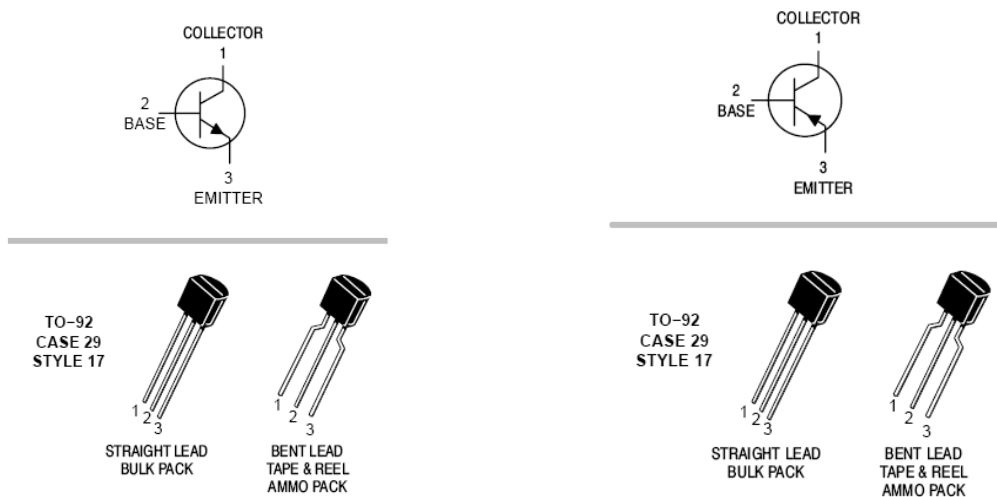


Figur 5.3. Kretsschema för effektförstärkaren. V_{LP2} representerar LP-filtrets utsignal och stereohörluren representeras av R_8 .

Effektförstärkare

Effektförstärkaren är en klass B-förstärkare av push-pull-typ. Operationsförstärkaren TL072 kan inte ge den ström som vi behöver för att driva en högtalare eller en hörluren. En hörlur behöver en effekt av ca 10–20 mW och med en impedans på 20 Ω behöver förstärkaren kunna leverera minst 35 mA_{eff}. Kopplingen i figur 5.3 fungerar även utan resistorn R_6 men då riskerar vi att få övergångsdistortion på grund av att utsignalen från operationsförstärkaren inte hinner med när utgången skall passera 0V. Ingången V_{LP2} är tänkt att använda på signalen som kommer från D/A-omvandlaren efter filtrering. Om man vill lyssna på musik från t.ex. en telefon eller dator, kan man kortsluta R_1 så att insignalen går direkt till C_1 , eftersom en typisk audioutgång arbetar vid lägre spänningsnivåer (ca $\pm 0,5$ V) än vårt transmissionssystem.

Specifikationer: Hörlurar kan typiskt ha känsligheten 100 dB SPL/mW.



Figur 5.4. Pinnkonfiguration för effektransistorerna BC337 och BC327.

Läsanvisningar

Läs i Molins ”Analog elektronik”, 2009, om fälteffekttransistorer i avsnitt 8.3 och 9.4 samt om effektförstärkare av klass B i avsnitt 14.4.

Förberedelseuppgifter

- 5.1 Om transmissionssystemet skall kunna hantera audiosignaler i intervallet 20–12000 Hz med god kvalitet, vilken minsta samplingfrekvens måste då användas när ljudet digitaliseras? *Tips:* samplingsteoremet.
- 5.2 Om varje ljuds sampel representeras av 8 databitar och 2 signaleringsbitar, vilken minsta datatakt i bit/s måste stödjas av RS232-länken över vilken den seriella datasignalen D_{Tx} transmitteras?
- 5.3 Modifiera VHDL-koden som genererar T_s och T_b så att deras frekvenser får de värden som beräknades i uppgifterna 5.1 och 5.2. Från och med nu kommer dessa frekvenser att användas i stället för 960 och 9600 Hz.
- 5.4 Skriv pin-numren vid varje anslutning på op-förstärkaren och transistorerna i figur 5.3.
- 5.5 Vilken inimpedans till mikrofonförstärkaren ser mikrofonen? Hur påverkas mikrofonens känslighet av att inimpedansen inte är 2 k Ω som i specifikationen?
- 5.6 Beräkna det högsta ljudtryck i dB SPL som är möjligt utan att A/D-omvandlaren i figur 5.1 blir överstyrd. *Tips:* Vilken maximal spänning V_{amp} klarar A/D-omvandlaren utan överstyrning? Vilken spänning V_{mic} motsvarar det?
- 5.7 Simulera mikrofonförstärkaren i Spice. Mikrofonen simuleras med hjälp av transistorn JFETmic, vars karakteristik definieras i filen extras.lib. Mät och beräkna vilospänningen (DC) på mikrofoningången, förstärkarens undre gränshfrekvens och förstärkningen (från V_{mic} till V_{amp}).
- 5.8 Beräkna effektförstärkarens teoretiska spänningsförstärkning från V_{LP2} till V_{amp2} (C_1 kan ignoreras för enkelhets skull).
- 5.9 Beräkna vilket maximalt ljudtryck i dB SPL vår effektförstärkare ger på en standard hörlur med inimpedansen 20 Ω när insignalen V_{LP2} har amplituden 5V. *Tips:* Vilken är spänningen över hörluren? Hur stor effekt i mW och dBm utvecklar hörluren?
- 5.10 Simulera effektförstärkaren i Spice. Generera insignalen V_{LP2} som en växelspänning med amplituden 5V och variabel frekvens. Bestäm spänningsförstärkning och gränshfrekvenser. Jämför med beräknat resultat i uppgift 5.8. Studera utseendet på utsignalerna vid frekvensen 1 kHz. Studera signalen över hörluren och bestäm effektförstärkningen (från V_{LP2} till V_{amp2}).

Utförande

Mikrofonförstärkare

Koppla upp konstruktionen av mikrofonförstärkaren på labplattan och anslut matningsspänningar $\pm 15\text{V}$ till operationsförstärkaren. Spänningsmatningen på $5,6\text{ V}$ till mikrofonen tas från den tidigare gjorda referensspänningen. Börja med att mäta DC-spänningen på mikrofoningången. Beräkna därefter viloströmmen genom mikrofonelementet.

Spänningen på mikrofoningången uppmättes till V

Vilostroömmen genom mikrofonen beräknades till mA

Studera utspänningen på ett oscilloskop och mät upp spänningsnivåer på utgången vid olika placeringar av mikrofonen och olika ljudkällor som tal och buller.

Effektförstärkare

Koppla upp konstruktionen på kopplingsplattan. Använd den andra operationsförstärkare i samma kapsel som användes för mikrofonförstärkaren. Om hörluren har en volymkontroll så skall denna sättas på maximum. Använd funktionsgeneratoren för att koppla in en sinussignal på ingången V_{LP2} . Ställ in signalamplituden 5 V och mät inom frekvensintervallet 1 Hz till 20 kHz med 3 punkter per dekad. Mät därefter noggrannare vid undre gränshfrekvensen. Variera frekvensen och notera vid vilken frekvens signalamplituden sjunkit med 3 dB .

Frekvens	Insignal	Utsignal	Förstärkning

Undre gränshfrekvensen uppmättes till Hz

Lyssna på radio eller musik i telefon eller dator. Kortsut R_1 och anslut ljudkällan direkt till C_1 . Lyssna dels direkt från telefonen/datorn och dels efter den egna effektförstärkaren. Har ljudet försämrats eller förbättrats?



Checkpoint. Spela upp ljudet genom effektförstärkaren för assistenten.

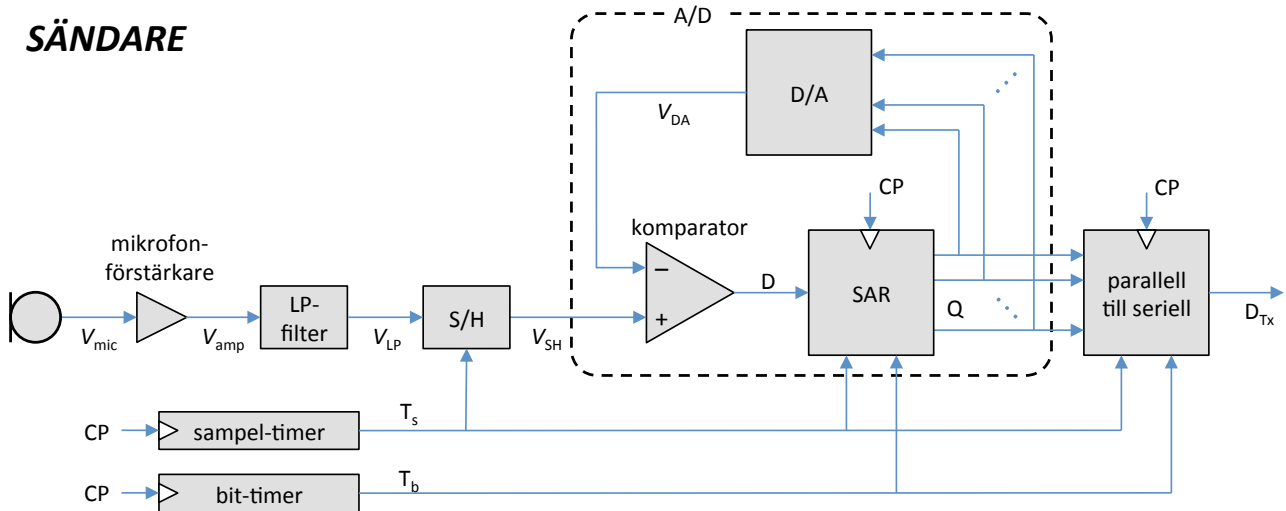
Redovisning i rapporten

Manuella beräkningar och simuleringsresultat från Spice-simuleringarna skall redovisas. Resultat från mätningarna skall redovisas i form av data och plottade kurvor.

Laboration nr 6, LP-filter och funktionstest

I den sjätte laborationen skall vi bygga LP-filer och funktionstesta hela konstruktionen.

SÄNDARE



MOTTAGARE

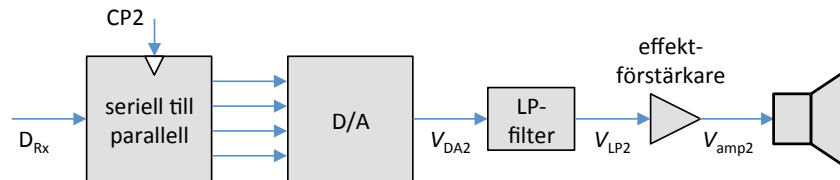


Fig. 6.1. Nu är slutligen alla delsystem markerade.

LP-filter

Ett aktivt fjärdegrads lågpass Butterworthfilter kan konstrueras genom att kaskadkoppla två Sallen–Key-länkar. Vi skall arbeta med en samplingsfrekvens på drygt 24 kHz (vilket du förhoppningsvis redan har kommit fram till) och behöver därför ett LP-filter med övre gränshfrekvensen på halva samplingsfrekvensen d.v.s. 12 kHz, vilket stämmer med det önskade frekvensområdet (sid 1).

Läsanvisningar

Läs om felsökning i Molins "Analog elektronik", 2009, avsnitt 4.5.

Förberedelseuppgifter

- 6.1 Dimensionera ett fjärdegrads aktivt Butterworth lågpåssfilter med gränshfrekvensen 12 kHz. Kaskadkoppla två andragradslänkar med hjälp av kretsen TL072, i vilken båda operationsförstärkarna kan användas. Välj motstånd mellan 1 k Ω och 10 k Ω och kondensatorer mellan 1 nF och 33 nF. *Tips:* De två andragradslänkarna skall vara olika.
- 6.2 Simulera i Spice och välj lämpliga värden på resistorer ur E12-serien och kapacitanser ur E6-serien. Starta med värden närmast de som beräknats i uppgift 6.1. Justera komponentvärdena så att frekvenskaraktistiken (Bodediagrammet) blir så nära ett Butterworthfilter som möjligt. Gränshfrekvensen skall vara så nära 12 kHz som möjligt men inte över (varför?) och amplitudkaraktistiken skall vara flat i passbandet.
- 6.3 Rita ett kopplingsschema för filtret.
- 6.4 Vad har våra filter för funktion? Vad skulle hända om filtren saknas i konstruktionen?

Utförande

LP-filter

Koppla upp konstruktionen på labplattan och anslut matningsspänningar $\pm 15\text{V}$. Anslut en funktionsgenerator med sinus 10 V_{pp} till ingången och studera både insignal och utsignal på oscilloskop. Mät upp frekvenskaraktistiken för filtret inom frekvensområdet $1\text{ kHz} - 30\text{ kHz}$. Mät därefter noggrannare vid gränshfrekvensen. Variera frekvensen och notera vid vilken frekvens signalamplituden sjunkit med 3 dB . Plotta frekvenskaraktistiken med logaritmiska axlar.

Frekvens (kHz)	Insignal	Utsignal	Dämpning (dB)

Uppmätt gränshfrekvens: kHz

Byt till fyrkantvåg med frekvensen 6 kHz på funktionsgeneratorn och studera utsignalen på oscilloskop. Beskriv signalen efter filtret, och förklara dina observationer med hjälp av Fourieranalys:

.....
.....

Funktionstest

Samverka med en annan grupp, där första gruppen bygger ett sändarsystem och andra gruppen bygger ett mottagarsystem. Alternativt finns färdigbyggda sändar- och mottagarsystem att låna i lablokalen. Sändare och mottagare måste förstas vara inställda på samma datatakt, och denna datatakt skall vara tillräcklig för att stödja audiokommunikation med upplösningen 8 bit/sampel . Se förberedelseuppgift 5.2.

Sändare: För A/D-omvandlaren laddas SAR-koden ned till DE1-kortet. Anslut LP-filter och S/H-krets till A/D-omvandlaren. Anslut inte ännu mikrofon och mikrofonförstärkare.

Mottagare: Programmera DE1-kortet för serie-till-parallell-omvandling enligt lab 4. Efter D/A-omvandlaren ansluts LP-filtret och därefter effektförstärkaren med hörlurar.

Mätningar: Koppla ihop RS232-kontakterna på sändar- och mottagarkort med den tillgängliga specialkabeln (inte den vanliga modemkabeln, som är avsedd för att koppla en dator (DTE) till ett modem (DCE), inte två DCEer med varandra). Testa först systemet genom att mata LP-filtret med en variabel likspänning. Ändra likspänningen slumpmässigt tills mottagaren är synkroniserad med sändaren och observera därefter den mottagna likspänningen i mottagaren med hjälp av oscilloskopet. Studera även lysdioderna på både sändare och mottagare.

Testa därefter systemet med en sinusvåg med frekvens 1 kHz som insignal.

Variera insignalens amplitud för att bestämma den minsta amplituden som kan detekteras i mottagaren. Bestäm också den maximala amplituden som systemet kan överföra utan att distordera utsignalen.

Utsignalens toppar distorderas när insignalen är en sinusvåg på V_{PP} eller mer.

Den minsta insignalamplitud som kan detekteras är mV_{PP} .

Överföringens dynamik (kvoten mellan maximal och minimal amplitud) är dB.

Observera signalerna i oscilloskopet vid följande platser:

1. LP-filtrets utgång i sändaren, V_{LP}
2. S/H-kretsens utgång i sändaren, V_{SH}
3. LP-filtrets ingång i mottagaren, V_{DA2}
4. LP-filtrets utgång i mottagaren, V_{LP2}

Ser V_{LP2} ut som V_{LP} ? Varför eller varför inte?

.....

Behåll nu insignalens amplitud vid det maximala distortionsfria värdet och variera sinusvågens frekvens.

Överföringens 3dB-bandbredd är från Hz till kHz.

Checkpoint. Demonstra överföringen av en sinusvåg för assistenten och variera frekvensen.



Anslut nu mikrofonen och mikrofonförstärkaren på sändarsidan och lyssna till ljudet i mottagarens hörlur. Beskriv ljudkvaliteten:

.....

Systemet kvantiserar i nuläget audiosignalen till 8 bitar. Undersök hur ljudkvaliteten försämras om antalet bitar i överföringen minskas. Antalet bitar kan minskas genom att jorda någon eller några av dataingångarna A_1 – A_8 på mottagarens D/A-kretsen (figur 4.1 och 4.3). Exempelvis blir det 6-bitars överföring om de minst signifikanta bitarna A_7 och A_8 jordas. Vilket är det minsta antalet bitar som behövs för att ljudet skall gå att uppfatta?

.....

Checkpoint. Visa assistenten hur bra eller dåligt ljudöverföringen fungerar.



I mån av tid:

- Undersök hur ljudkvaliteten påverkas av systemförändringar och fel. Observera förändringar och försök förklara vad som händer teoretiskt. *Exempel:* Byt komponentvärden, bottna A/Dn, ändra eller ta bort filter, ta bort R_6 i figur 5.3, ta bort C_2 i figur 3.4, ändra samplingstakten etc. Använd fantasin!
- Byt till den första gruppens mottagare och den andra gruppens sändare.

Redovisning i rapporten

- Manuella beräkningar och simuleringsresultat från Spice-simuleringarna för filtret
- Simulerad frekvenskaraktistik samt kopplingsschema
- Signalnivåer och kurvformer i de olika gränssnitten
- Uppmätta resultat avseende hela kommunikationssystemets dynamik och bandbredd
- Resultaten av de experiment som gjorts kring ljudkvalitet och systemförändringar

Appendix: Kopplingsplint JP1

Stift #	Signal Name (User Manual)	På ritningen (User Manual)	FPGA Pin #	Signal labkort
2	GPIO_0[1]	IO_A1	PIN_B13	A1(MSB)
4	GPIO_0[3]	IO_A3	PIN_B14	A2
6	GPIO_0[5]	IO_A5	PIN_B15	A3
8	GPIO_0[7]	IO_A7	PIN_B16	A4
10	GPIO_0[9]	IO_A9	PIN_B17	A5
12	GND	GND		jord
14	GPIO_0[11]	IO_A11	PIN_B18	A6
16	GPIO_0[13]	IO_A13	PIN_B19	A7
18	GPIO_0[15]	IO_A15	PIN_B20	A8 (LSB)
29		VCC33		3,3 V
32	GPIO_0[27]	IO_A27	PIN_J22	Tb
34	GPIO_0[29]	IO_A29	PIN_K22	D
36	GPIO_0[31]	IO_A31	PIN_J20	Ts
40	GPIO_0[35]	IO_A35	PIN_L18	DTx

Plint sedd uppifrån

1		A1 (MSB)	2
3		A2	4
5		A3	6
7		A4	8
9		A5	10
11		jord	12
13		A6	14
15		A7	16
17		A8	18
19			20
21			22
23			24
25			26
27			28
29	3,3V		30
31		Tb	32
33		D	34
35		Ts	36
37			38
39		DTx	40